

廃炉作業ロボット向け耐放射線組み込みシステムの開発

(受託者) 国立大学法人 静岡大学

(研究代表者) 渡邊 実 大学院総合科学技術研究科工学専攻

(再委託先) 国立大学法人 東北大学

(研究期間) 平成28年度～30年度

1. 研究の背景とねらい

福島第一原子力発電所の廃炉作業は高レベルの放射線環境下（1000 Sv/h）で行われることが予測されており、それに使用できるロボットの開発が急務である。しかし、ロボットの制御に使用される集積回路は放射線に脆弱である。放射線が入射すれば、一時的な誤動作であるソフトウェアが生じ、また、その放射線の入射が続けば恒久的な故障が生じる。既存の集積回路のトータルドーズ耐性は3～10 kGyであり、1000 Sv/hの環境下では10時間程度で寿命となる。この恒久故障は集積回路に電源が入っていないようがいまいが生じることから、トータルドーズ耐性を上げるには放射線の入射そのものを防止することが最も有効である。しかし、デブリ付近の強放射線環境下では、たとえ重いシールド材を用いてもγ線、中性子線を完全にシールドすることは難しく、放射線に強い組み込みシステムを実現するためには集積回路そのものの放射線耐性を上げる必要がある。

研究代表者は、放射線環境下で集積回路が劣化することそのものを避ける方法はないものの、集積回路上で劣化や故障が生じて、その集積回路をリペアし、使用し続けることができれば、結果、トータルドーズ耐性が劇的に改善できることに着目している。本研究では、この実証試験を進めている。ただ、この実現は既存の半導体デバイスのみでは難しい。

既存のプログラマブルデバイス、FPGAはこの運用法における最初の候補となりうるが、FPGAでは放射線によりプログラムを支援する構成回路が最初に破壊されるので、このような運用ができない。FPGAのプログラミングを支援する構成回路は

CLB: 論理ブロック, SM: スイッチングマトリックス

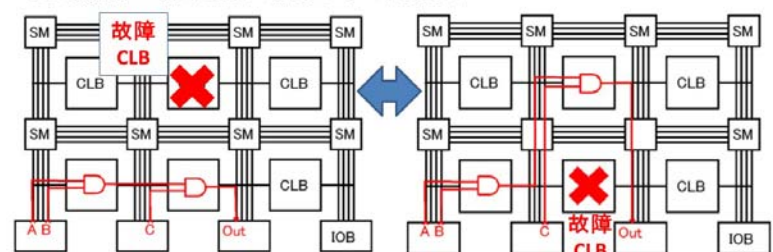


図1：プログラマブルデバイスで不良箇所を避けて実装する例

チップ全体の40%近くにも達する。放射線が入射して10個程度のトランジスタを壊した場合に、その壊れたトランジスタがプログラミングを支援する構成回路内に含まれない確率はほぼゼロである。その一方で、構成回路はシリアル的に接続されており、一部でも故障するとゲートアレイ全体のプログラミングが難しくなる。

研究代表者はこの脆弱性の確認の目的で、

コバルト60の放射線源を用いて、Cyclone II FPGAやMAX3000 CPLDに対して放射線試験を実施している。Cyclone IIを4チップ、MAX3000を9チップ投入した放射線試験によると、Cyclone II

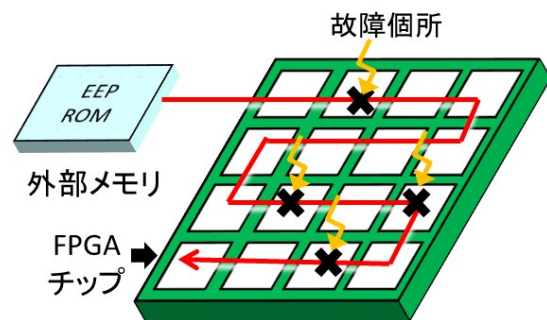


図2：FPGAのシリアル構成法

は 350～650 Gy [1]、MAX3000 は 1.2～1.8 kGy のトータルドーズで破壊された。ただ、この時、故障する直前まで全てのゲートアレイが正常に動作していることを確認しており、全ての Cyclone II、MAX3000 においてプログラミングを支援する構成回路が最初に破壊された。このように既存の FPGA の構成回路は放射線に極端に脆弱で、リペア（再プログラム）の運用は不可能である。

そこで、研究代表者は放射線に頑強な光メモリと、光による並列構成が可能なプログラマブルデバイスとを組み合わせた光再構成型ゲートアレイを開発している。並列構成法を用いれば、構成回路やゲートアレイ回路のいかなる箇所が放射線により破壊されても、破壊されていない箇所のプログラミングが不可能になることは無い。放射線に脆弱な集積回路を頑強な光メモリにより補完する新しいデバイス技術である。

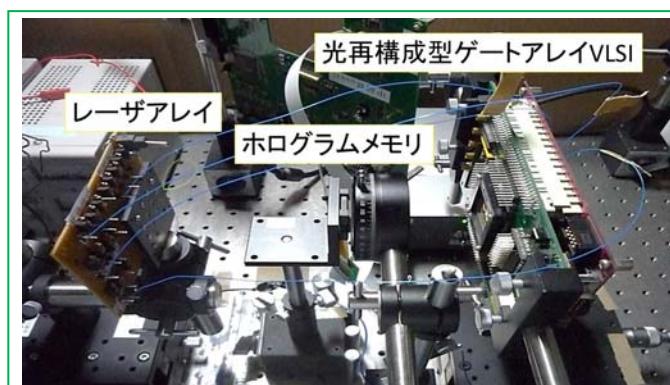
この研究ではこの光再構成型ゲートアレイの基盤技術を活用し、耐放射線・廃炉作業ロボット向けに、強放射線環境下（1000 Sv/h）であっても重いシールド材を用いることなく正常に動作ができ、1 MGy 以上のトータルドーズ耐性を有する組み込みシステムの実現を目指している。

2. これまでの研究成果

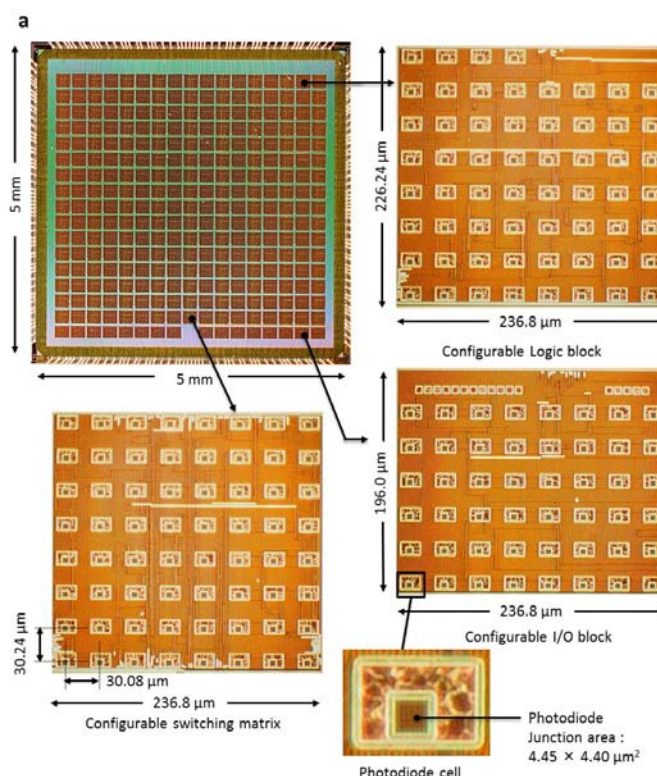
2.1: 耐放射線組み込みシステム向け光再構成型ゲートアレイの開発

光再構成型ゲートアレイは図 3 に示すように、ホログラムメモリ、レーザアレイ、光再構成型ゲートアレイ VLSI より構成される。このデバイスはマルチコンテキストデバイスであり、ホログラムメモリ内に多数の回路情報を蓄えることができる。

ホログラムメモリは光波の重ね合わせにより情報を読み出すことから、ダメージに強いことが古くから知られている。例えば、ホログラムメモリに情報を記録し、その後、ホログラムメモリを半分に割り、その片方から情報を読み出しても、記録した情報を正しく読み出すことができる。これはホログラムメモリが放射線でいかにダメージを受けても、そのホログラムメモリから記憶情報を正しく読み出せることを意味する。この耐放射線・



(a) プロトタイプシステム



0.18μm プロセス光再構成型ゲートアレイ VLSI

図 3: 耐放射線・光再構成型ゲートアレイ

光再構成型ゲートアレイではこのホログラムメモリの頑強さを活用し、集積回路部が放射線で破壊されると故障箇所を回避した同機能の新しい回路をホログラムメモリから読出し、ゲートアレイに実装し直し、使用し続けることで集積回路部のトータルドーズ耐性（放射線耐性）を劇的に向上させることに成功した。光再構成型ゲートアレイでは並列構成法を用いるのでゲートアレイ部、構成回路部のいかなる箇所が放射線で破壊されても、ゲートアレイ上の正常な箇所への回路の構成が不可能になることは無い。現在までに、コバルト 60 の放射線源を用いた試験により、既存の耐放射線集積回路の中で最もトータルドーズ耐性の高い Vertex-5QV (XILINX) の 10 kGy のトータルドーズ耐性の 800 倍もの 8 MGy のトータルドーズ耐性の実証試験に成功している（世界最強の耐放射線性能） [2]。

このように光再構成型ゲートアレイのトータルドーズ耐性は既存のデバイス群を圧倒するが、ソフトウェア耐性については FPGA と同様にチップ上に構成メモリを持つため、ASIC 等に比べて不利である。しかし、光再構成型ゲートアレイでは光による並列構成法を用いることから、高速な再構成が可能であり、構成メモリに対する高速スクラビング処理が可能である。現在までに 20MHz での高速スクラビング試験[3]に成功している（世界最高速）。既存の FPGA が 100ms の周期でスクラビングをし、31.7 秒に 1 回ソフトウェアが起きる放射線環境を想定すれば、この光再構成型ゲートアレイも同環境で使用するにとすると、20MHz の高速スクラビング適用時にエラー間隔は 1.9 年となる（190 万倍のソフトウェア耐性）。このように、光再構成型ゲートアレイでは構成メモリ上のソフトウェアは無視でき、ASIC に匹敵するソフトウェア耐性が実現できる。

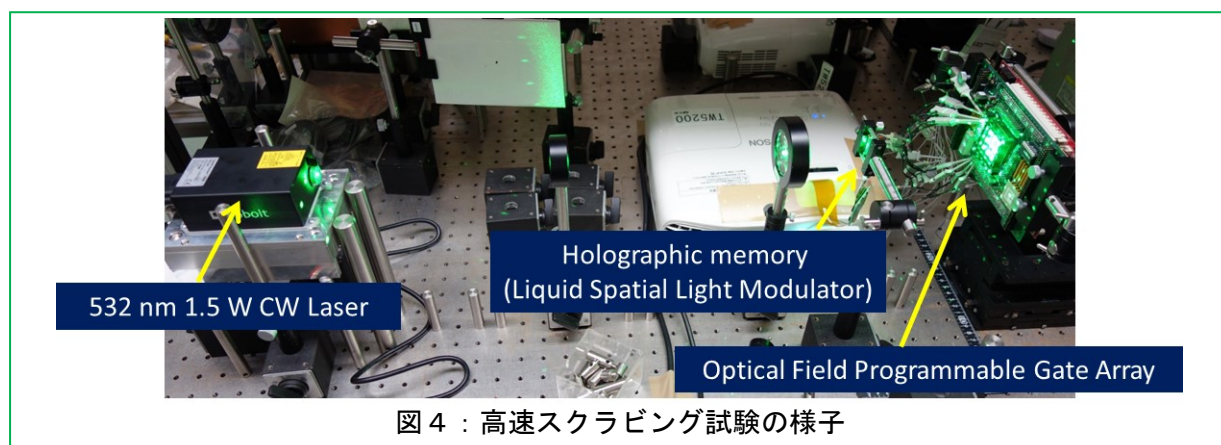


図 4：高速スクラビング試験の様子

2. 2：耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発

耐放射線ロボットに光再構成型ゲートアレイを導入するためには、同程度の放射線耐性を持つ電源回路とモータドライバが必要になる。本研究でもリチウムイオン電池を用いた耐放射線安定化電源と耐放

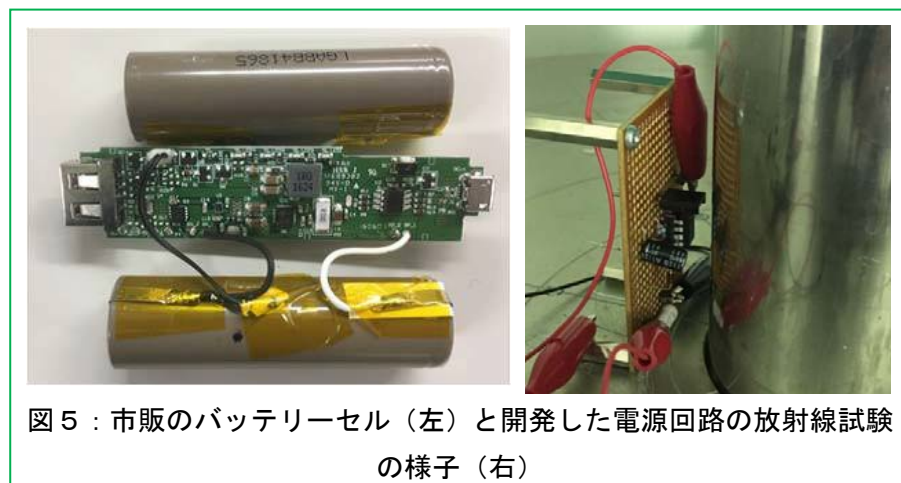


図 5：市販のバッテリーセル（左）と開発した電源回路の放射線試験の様子（右）

射線モータドライバ回路を開発している。

市販の電源回路は放射線に対して脆弱である。例えば、市販のモバイルバッテリーのトータルドーズ耐性はわずか 700~800 Gy (Co60 の γ 線試験) である。ただ、リチウムイオンバッテリーセルに劣化は見られず、この低いトータルドーズ耐性は周辺電子回路によるものである。本研究ではリチウムイオンバッテリーセルに適用する耐放射線・安定化電源回路を新規設計・試作した。結果、本電源回路は 1 MGy もの放射線耐性があることを確認した。また、モータドライバ (図 6) についても放射線耐性試験を実施し、300 kGy のトータルドーズ耐性を確認している。

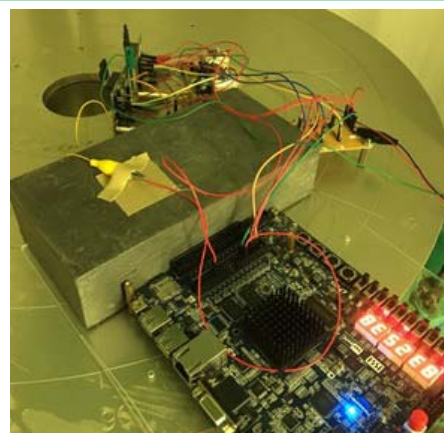


図 6 : モータドライバの耐放射線試験の様子

2.3: 移動ロボット用フルハード組み込みシステムの開発

強放射線環境ではソフトウェアが頻発することから、3 重実装やより多重化した実装が必要になり、また、高い周波数での多数決演算が必要になる。フルハードウェア実装により、これらの実現を目指しており、図 7 のロボットにより実証試験を進めている。

3. 今後の研究

現在も光再構成型ゲートアレイへの放射線耐性試験 (トータルドーズ試験) を続けているが、8MGy の現時点においても大部分のユニットは正常に動作している。このトータルドーズ耐性 8MGy は既存の Vertex-5QV (耐放射線 FPGA) の 800 倍に相当する。今後も引き続き、この放射線試験を継続し、50%程度のユニットが破壊されるまでのトータルドーズ耐性を明らかにしていく。

4. 参考文献

- [1] H. Ito, M. Watanabe, "Total-Ionizing Dose Tolerance of the Serial Configuration on Cyclone II FPGA," IEEE International Conference on Space Optical Systems and Applications, 1-4, 2015.
- [2] T. Fujimori, M. Watanabe, "Parallel light configuration that increases the radiation tolerance of integrated circuits," Optics Express, Vol. 25, Issue 23, pp. 28136-28145, 2017.
- [3] T. Fujimori, M. Watanabe, "High-speed scrubbing demonstration using an optically reconfigurable gate array," Optics Express, Vol. 25, Issue 7, pp. 7807-7817, 2017.



図 7 : FPGA 部 (上) とフルハードウェア制御による移動ロボット (下)