

平成 30 年度

文部科学省 国家課題対応型研究開発推進事業
英知を結集した原子力科学技術・人材育成推進事業

原子力エレクトロニクス技術を活用した
耐放射線半導体イメージセンサの開発

成果報告書

平成 31 年 3 月

国立研究開発法人 産業技術総合研究所

本報告書は、文部科学省の「英知を結集した原子力科学技術・人材育成推進事業」による委託業務として、国立研究開発法人 産業技術総合研究所が実施した平成 28－30 年度「原子力エレクトロニクス技術を活用した耐放射線半導体イメージセンサの開発」の成果を取りまとめたものです。

目次

	頁
概略	v
1. はじめに	1-1
2. 業務計画	
2.1 全体計画	2.1
3. 業務の実施内容及び成果	
3.1 ハイブリッド型 CMOS イメージセンサの技術開発	3.1-1
3.1.1 デバイス構造の設計	3.1-1
3.1.2 要素プロセス技術の開発	3.1-10
3.1.3 プロトタイプ試作	3.1-17
3.2 ハイブリッド型 CMOS イメージセンサの集積化技術開発（再委託先：広島大学）	3.2-1
3.2.1 集積化設計	3.2-1
3.2.2 集積化プロセス技術の開発	3.2-4
3.2.3 プロトタイプ試作	3.2-9
3.2.4 周辺回路	3.2-15
3.3 イメージセンサの耐放射線性の評価と劣化機構の解明（再委託先：量研機構）	3.3-1
3.3.1 要素素子の放射線照射効果解明	3.3-1
3.3.2 単一画素素子の放射線照射試験	3.3-12
3.3.3 複数画素素子の 2MGy 耐性の実証	3.3-16
3.4 研究推進	3.4-1
4. 結言	
4.1 研究成果のまとめ	4.1-1
4.2 今後の展望	4.1-4

表一覧

	頁
表 3.1-1 第3次プロトタイプ試作における p+型ゲート領域の形成条件 . . .	3.1-21
表 3.3-1 市販 Si フォトダイオードの電氣的、光学的特性 (Ta=25°C) . . .	3.3-1
表 3.4-1 実務者ミーティング実施実績	3.4-1
表 3.4-2 評価委員会実施実績	3.4-1

図一覧

	頁
図 2-1 本業務の全体計画図	2.1
図 3.1-1 3 トランジスタ型イメージセンサの回路構成	3.1-1
図 3.1-2 SiC-JFET の断面構造	3.1-2
図 3.1-3 チャネル長を3水準で変化させた場合の SiC-JFET 断面構造	3.1-3
図 3.1-4 チャネル長を3水準で変化させた場合の Id-Vg 特性	3.1-3
図 3.1-5 チャネル幅を3水準で変化させた場合の SiC-JFET 断面構造	3.1-3
図 3.1-6 チャネル幅を3水準で変化させた場合の Id-Vg 特性 (低不純物濃度)	3.1-4
図 3.1-7 チャネル長を3水準で変化させた場合の Id-Vg 特性 (高不純物濃度)	3.1-4
図 3.1-8 n-不純物濃度を3水準で変化させた場合の Id-Vg 特性	3.1-5
図 3.1-9 電気特性のばらつきを抑制した SiC-JFET の断面構造	3.1-5
図 3.1-10 Al イオン注入により形成した p 型ベース層、 及び p+型ゲート領域の不純物濃度分布	3.1-6
図 3.1-11 5 水準のイオン注入条件で p+型ゲート領域を形成した場合の ドレイン電流・ゲート電圧依存性 (Id-Vg 特性)	3.1-7
図 3.1-12 SiC-JFET 第3次プロトタイプ試作用露光マスクパターン	3.1-7
図 3.1-13 本研究で設計した Si フォトダイオードの基本構造	3.1-8
図 3.1-14 イオン注入した不純物の活性化アニール前後の濃度分布 (a)B 濃度分布 (b)P 濃度分布	3.1-8
図 3.1-15 SiC へ Al+イオン注入した際の SIMS による深さ分布測定結果	3.1-10
図 3.1-16 フッ素系ガスを用いて SiC をドライエッチングした際の断面 SEM 像 (コントラストの濃い部分はエッチングマスクの SiO ₂ 膜)	3.1-11
図 3.1-17 トレンチ構造上に3種類の絶縁膜形成方法により成膜を行った際の断面 SEM 像 (a)SiH ₄ -プラズマ CVD (b)熱 CVD (c)TEOS-プラズマ CVD	3.1-12
図 3.1-18 Al をイオン注入した SiC 中の Al 濃度深さ分布測定結果 (SIMS) (a)SiC へ直接イオン注入、(b)SiO ₂ 膜 (1.5 μm) /SiC へイオン注入	3.1-13
図 3.1-19 SiC-JFET のプロセスフロー	3.1-15
図 3.1-20 Si フォトダイオードのプロセスフロー	3.1-16
図 3.1-21 試作した SiC-JFET の (a) ウェハ外観写真 (b) 断面 SEM 像	3.1-17
図 3.1-22 試作した SiC-JFET のドレイン電流・ドレイン電圧特性 (Id-Vd 特性)	3.1-17
図 3.1-23 ドレイン電流・ゲート電圧依存性 (Id-Vg 特性) の t _{ch} 依存性 (測定結果)	3.1-18

図 3. 1-24	ドレイン電流・ゲート電圧依存性 (I_d - V_g 特性) の t_{ch} 依存性 (シミュレーション結果)	3. 1-18
図 3. 1-25	しきい値電圧 V_{th} のウェハ面内分布	3. 1-18
図 3. 1-26	しきい値電圧 V_{th} のウェハ面内分布発生原因の考察	3. 1-18
図 3. 1-27	I_d - V_d 特性の温度依存性	3. 1-19
図 3. 1-28	リーク電流の温度依存性	3. 1-19
図 3. 1-29	第 3 次プロトタイプ試作の断面 SEM 観察像	3. 1-20
図 3. 1-30	p+型ゲート領域、及び p+型ベース層の Al 濃度深さ分布 (SIMS 測定)	3. 1-20
図 3. 1-31	第 3 次プロトタイプ試作 SiC-JFET の素子特性 (a) I_d - V_d 特性、(b) I_d - V_g 特性(条件 I で p+型ゲート領域を形成した素子) (c) I_d - V_d 特性、(d) I_d - V_g 特性(条件 II で p+型ゲート領域を形成した素子)	3. 1-21
図 3. 1-32	遅れ時間(Delay Time)を変化させた時の I_d - V_g 特性のばらつき	3. 1-22
図 3. 1-33	第 3 次プロトタイプ試作 SiC-JFET の I_d - V_g 特性の温度依存性	3. 1-22
図 3. 1-34	試作した Si フォトダイオードのアノード電流・電圧特性 (IV 特性)	3. 1-23
図 3. 1-35	試作した Si フォトダイオードの IV 特性の光照射による影響	3. 1-24
図 3. 2-1	SiC 基板上の Si フォトダイオード	3. 2-1
図 3. 2-2	ハイブリッド型 CMOS イメージセンサの断面図	3. 2-2
図 3. 2-3	画素デバイスの設計レイアウト	3. 2-3
図 3. 2-4	64 画素デバイスの設計レイアウト	3. 2-3
図 3. 2-5	SiC 基板と SOI 基板の直接張り合わせ	3. 2-4
図 3. 2-6	作製した 3C-SiC MOSFETs の (a) 光学顕微鏡写真と (b) 電気特性	3. 2-5
図 3. 2-7	4H-SiC 基板上に Si デバイス層を形成	3. 2-6
図 3. 2-8	集積化プロセス (基板貼り合わせまで)	3. 2-6
図 3. 2-9	集積化プロセス (基板貼り合わせ後、完成まで)	3. 2-7
図 3. 2-10	(a) 基板貼り合わせ後、(b) デバイス集積化した画素デバイスチップ	3. 2-7
図 3. 2-11	基板貼り合わせ面の改善	3. 2-8
図 3. 2-12	SiC 基板上に形成した Si 膜の CMP 処理	3. 2-8
図 3. 2-13	最終的に得られた SOI 基板と SiC 基板 (ゲート酸化膜形成後) の 表面ラフネス像とその値	3. 2-9
図 3. 2-14	1 画素デバイス : (a) Al 配線形成前の光学顕微鏡写真 (b) 完成した 1 画素デバイス	3. 2-10
図 3. 3-15	1 画素デバイスの出力特性 : (a) 出力特性、(b) 可視光照射前後での電圧振幅変化率の周波数依存性	3. 2-11
図 3. 2-16	64 画素デバイスのチップ写真	3. 2-11
図 3. 3-17	64 画素デバイスの光学顕微鏡写真	3. 2-12
図 3. 2-18	フル SiC UV 画素デバイスの断面図	3. 2-12
図 3. 2-19	フル SiC UV 画素デバイス・UV フォトダイオードの電流・電圧特性	3. 2-13
図 3. 2-20	(a) フル SiC UV 画素デバイス、(b) その出力特性	3. 2-14
図 3. 2-21	(a) 1 万画素 4H-SiC イメージセンサのプロトタイプ、(b) 拡大写真	3. 2. 14

図 3.2-22 (a) 1 万画素 4H-SiC イメージセンサ・プロトタイプ画素アレイと (b)画素デバイス拡大写真	3.2-15
図 3.2-23 構築したイメージセンサ（画素デバイス）評価システム	3.2-15
図 3.3-1 ガンマ線照射容器の外観および照射の様子	3.3-2
図 3.3-2 しきい値電圧の求め方	3.3-2
図 3.3-3 市販 Si フォトダイオードのガンマ線照射による特性変化	3.3-4
図 3.3-4 市販 Si フォトダイオードのガンマ線照射による分光特性変化	3.3-4
図 3.3-5 3C-SiC 基板上に作製した Si フォトダイオードのガンマ線照射による特性変化 (a) 順方向 (b) 逆方向特性	3.3-4
図 3.3-6 単結晶 Si 基板上に作製した Si フォトダイオードの照射による特性変化 (a) 順方向 (b) 逆方向特性（受光面積 $200 \mu\text{m}^2$ ）	3.3-6
図 3.3-7 (a) Si フォトダイオードの構造 (b) 受光面積で規格化したリーク電流の照射量依存性	3.3-6
図 3.3-8 3C-SiC MOSFET のガンマ線照射による特性変化 (a) I_D - V_G 特性 (b) しきい値電圧	3.3-8
図 3.3-9 SiC-MOSFET へのガンマ線照射による電荷生成	3.3-8
図 3.3-10 3C-SiC MOSFET のガンマ線照射による特性変化 (a) 移動度 (b) 酸化膜固定及び界面電荷	3.3-8
図 3.3-11 第 1 次プロトタイプ試作 JFET の照射による特性変化 (a) I_D - V_G 特性（ゲート長 $36 \mu\text{m}$ ）(b) I_D - V_G 特性（同 $72 \mu\text{m}$ ） (c) しきい値電圧	3.3-9
図 3.3-12 第 3 次プロトタイプ試作 JFET（ノーマリーオン型）の照射による特性変化 (a) I_D - V_G 特性、(b) I_G - V_G 特性、(c) しきい値電圧、相互コンダクタンス	3.3-10
図 3.3-13 第 3 次プロトタイプ試作 JFET（ノーマリーオフ）の照射による特性変化 (a) I_D - V_G 特性、(b) しきい値電圧、相互コンダクタンス	3.3-10
図 3.3-14 単一画素素子（Si フォトダイオード+SiC MOSFET）の応答特性	3.3-13
図 3.3-15 単一画素素子（SiC フォトダイオード+SiC MOSFET）の応答特性	3.3-14
図 3.3-16 1.3 MGy 照射後の単一画素素子 (SiC フォトダイオード+SiC MOSFET) の紫外光照射時の応答特性	3.3-15
図 3.3-17 ガンマ線照射による複数画素素子の応答特性変化	3.3-17
図 3.3-18 ガンマ線照射による複数画素素子の出力電圧変化	3.3-17

略語一覧

JFET	: Junction Field Effect Transistor（接合型電界効果トランジスタ）
MOSFET	: Metal-Oxide-Semiconductor Field Effect Transistor（MOS 型電界効果トランジスタ）
SiC	: Silicon Carbide（炭化ケイ素）
SIMS	: Secondary Ion Mass Spectroscopy（二次イオン質量分析法）

SEM : Scanning Electron Microscope (走査型電子顕微鏡)
CVD : Chemical Vapor Deposition (化学気相成長法)
TEOS : TetraEthyl OrthoSilicate (オルトケイ酸テトラエチル)

概略

福島第一原発の廃炉プロセスにおいて最も重要な工程の一つに燃料デブリ取り出しが挙げられる。燃料デブリは、その位置、形状について、はっきりとした情報が得られていないため、それらを取り出すための方策も確定できていないのが現状である。燃料デブリの状態を把握するため、これまで圧力容器内部へ数多くのロボットが投入されてきたが、装着されているカメラの半導体イメージセンサは汎用品のため耐放射線性が低く、高線量率環境下の圧力容器内部では短時間で故障してしまい、燃料デブリの状態を把握するには至っていない。廃炉プロセスを順調に進めるためには、燃料デブリの状態を把握することが急務の課題であり、そのための耐放射線半導体イメージセンサの早期の実用化が望まれている。

一般的に耐放射線性の高いイメージセンサとして、カルニコンやビジコンと呼ばれる撮像管を挙げることができる。しかしこれらの撮像管は、①熱陰極型の電子源を用いるためエネルギー効率が悪く低消費電力化が困難、②電子ビームの走査により光電変換膜に2次元的に蓄積された正孔量を読み取りイメージ化するため重い偏向コイルが必要になるとともに、電子源から光電変換膜までの距離が必要になるため小型・軽量化が困難という欠点がある。これらの欠点は、圧力容器内への進入経路が限定される小型モニタリングロボットへの搭載を困難にするため、福島第一原発の廃炉プロセスへの適用は難しい。最近になって、Si 基板上に微細加工技術を駆使して形成した冷陰極型電子源を活用した小型撮像管の研究報告も行われているが⁽¹⁾、⁽²⁾、以下に述べる従来の半導体イメージセンサと同じく、放射線に対して脆弱な SiO_2/Si (Si-MOS) 界面を内包する構造であるため、元来撮像管が持つ高耐放射線性という長所を阻害してしまうことが懸念される。

一方、半導体イメージセンサは小型、低消費電力という観点から非常に優れたイメージセンサであり、デジカメ等、広く一般に普及している。但し、放射線に対して脆弱な Si-MOS 界面を内包するため、高線量率環境下では短時間で動作不良になることが大きな課題である。具体的には、放射線照射により SiO_2 中、あるいは Si-MOS 界面に欠陥が発生し、それらの欠陥がデバイス構造に内包する Si-MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) のリーク電流増大やしきい値電圧の変動を引き起こし、最終的には動作不良に至る。従来型の Si-MOS 構造を基本としたイメージセンサである限り、デバイス構造の工夫によりある程度の改善は可能であっても、これらの課題を根本的に解決することは極めて困難である。

一方、ワイドバンドギャップ (WBG) 半導体である炭化ケイ素 (SiC) は、Si と比較して原子間結合力が強く、放射線による弾き出しや電離による損傷が少ないため、耐放射線性が高いことが期待される。実際、我々が過去に実施した研究では⁽³⁾、電流チャネルを半導体内部に持ち MOS 構造を伴わない SiC-BGSIT (Buried Gate Static Induction Transistor) では、10 MGy という極めて高い放射線環境下においても閾値電圧が正側に、かつ線形にわずかにシフトしているのみであり、高い耐放射線性を実証することに成功した。また、SiC-MOSFET においても、Si-MOSFET と同じく放射線に対して脆弱と考えられる MOS 界面を有しているにも拘わらず、室温・大気中では累積線量 1 MGy までは閾値に大きな変化がなく、動作不良を起こすことはなかった⁽⁴⁾。このように SiC デバイスでは Si と比較して優れた耐放射線性が実証されており、我々は SiC などの WBG 半導体の高い耐放射線性を活用したエレクトロニクス技術を「原子力エレクトロニクス技術」と呼んでいる。

本研究では、SiC を活用した原子力エレクトロニクス技術を駆使し、耐放射線半導体イメージセンサを実現するための各種要素プロセス技術を開発するとともに、イメージセンサのプロトタイプを試作し、累積線量 2 MGy 以上の耐放射線性を達成することを最終目標としている。平成 29 年度は、平成 28 年度に実施した耐放射線半導体イメージセンサを構成する要素デバイスの設計、プロセス技術の開発指針に基づきプロトタイプを試作を進めるとともに、それらの耐放射線性の評価を実施した。

参考文献

- (1) 「超高感度 HEED-HARP カメラの特徴とそれを生かしたアプリケーション」 PIONEER R&D, Vol. 20, No. 1, p. 8 (2011)
- (2) 「高い耐放射線特性をもつ冷陰極真空管型撮像素子」応用物理, 第 85 巻, 第 1 号, p. 15 (2016)
- (3) 原子力システム研究開発事業、及び原子力基礎基盤戦略研究イニシアティブ成果報告会資料集「革新的原子力エレクトロニクス技術を活用した原子炉制御・保全システムに関する基盤研究」 (URL: [http:// www. jst. go. jp/nrd/result/h22/p35.html](http://www.jst.go.jp/nrd/result/h22/p35.html))
- (4) T. Ohshima, S. Onoda, N. Iwamoto, T. Makino, M. Arai, Y. Tanaka, “Radiation Response of Silicon Carbide Diodes and Transistors” Chapter 16 of “Physics and Technology of Silicon Carbide Devices” Edited by Y. Hijikata, InTech, ISBN 978-953-51-0917-4, 2013.

はじめに

本研究では、WBG 半導体である SiC を活用することで、従来の Si と比較して一桁以上高い耐放射線性を持つ半導体イメージセンサを開発することが目的である。尚、累積線量の目標値（2 MGy 以上）という値は以下に示す通り、福島第一原発の現状を念頭においた上で決定した。現在、福島第一原発 2 号機の格納容器内の空間線量率は 31.1~72.9 Sv/h という極めて高い値が測定されている⁽⁵⁾。压力容器内の空間線量率については正確なデータは得られていないが、燃料デブリや放射化された内部構造物からの放射線は格納容器内よりも更に高いことが想定される。イメージセンサを備えたロボットはこれらの線源への接近が想定されることから、安全係数を含めて格納容器内の 100 倍程度の空間線量率にも耐え得る耐放射線性を有する必要があるとの想定で、線量率の耐放射線性の目安を 10 kGy/h（1 Sv = 1 Gy）とした。更に、燃料デブリ取り出しの際には数日単位の長時間作業が必要になるという想定の下、必要な作業時間を 7 日（168 時間）と見込み、累積線量の耐放射線性の目標値を 2 MGy に設定した。

上記目標を達成するため、本研究では以下に示すハイブリッド型 CMOS イメージセンサの開発を進める。CMOS イメージセンサは光信号を電気信号に変換するフォトダイオード部、及び電気信号を増幅する増幅回路部から構成されているが、Si を基材とする CMOS センサでは数十 kGy~百 kGy 程度で動作不良を引き起こしてしまう。そこで、Si と比較して耐放射線性の高い SiC を基材とした CMOS イメージセンサを実現することで、本提案の目標達成を目指す。この際、①多くの結晶多形が存在する SiC の中で、絶縁破壊電界強度が高く、かつ安定した結晶成長が可能なため、パワーデバイス用途として広く活用されている 4H-SiC、及び、②MOSFET のチャネル移動度が 4H-SiC と比較して高いため、増幅回路部の駆動力に優れるとともに、将来的にドライブ回路を含めた集積化を図る際に有望な 3C-SiC、これら 2 種類の材料を活用することとする。

但し、SiC はバンドギャップが広いため可視光の吸収率が極めて低く、そのままでは可視光に感度を持つ耐放射線イメージセンサを実現することはできない。そこで、本研究では SiC と Si の特徴を生かしたハイブリッド型 CMOS イメージセンサを開発する。従来の Si を基材とする CMOS イメージセンサにおいて、動作不良を引き起こすのは Si-MOS 構造が主体となる増幅回路部であり、バルク中の pn 接合を基本構造とするフォトダイオード部は比較的高い耐放射線性を有するため特性劣化は認められない。逆にいえば、増幅回路部の耐放射線性を改善することで CMOS イメージセンサの耐放射線性が向上することが期待される。上記観点から、増幅回路部を SiC に置き換え、フォトダイオード部は従来通り Si を活用することで、可視光に感度を持ち、かつ耐放射線性の高いイメージセンサの実現を目指す。

参考文献

燃料デブリ取り出し代替工法についての情報提供依頼（RFI）に関する情報パッケージ（URL：http://irid.or.jp/fd/?page_id=328&lang=ja）の『燃料デブリ取り出し代替工法についての情報提供依頼（RFI）情報提供依頼の内容（国際廃炉研究開発機構）』の p.6 参照

2. 業務計画

本業務の全体計画図を図 2.1 に示す。

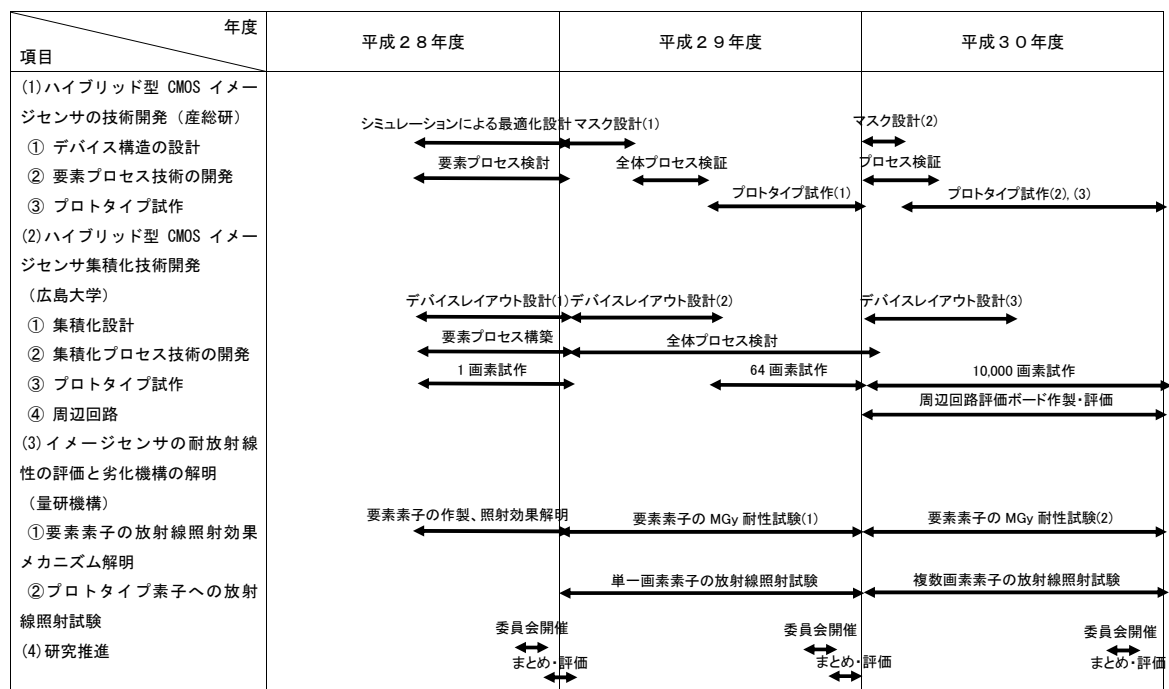


図 2.1 本業務の全体計画図

3. 業務の実施内容及び成果

3.1 ハイブリッド型 CMOS イメージセンサの技術開発 (H28-H30)

3.1.1 デバイス構造の設計 (H28-H30)

(1) 設計方針

ここでは、本研究開発の最終目標である累積線量 2 MGy を大幅に超える耐放射線性を実現するために、放射線に対して脆弱な MOS 構造を含まないスイッチとして SiC-JFET (SiC 接合型トランジスタ) を活用したイメージセンサの設計を進めることを基本方針とする。その際、光検出部となるフォトダイオードは耐放射線性を有すること、かつ良好な可視光感度を確保するために従来の Si フォトダイオードを活用する。つまり、光検出部は Si、信号増幅部は SiC という、ハイブリッド型の半導体イメージセンサで最終目標達成を目指す。

(2) 設計検討

① SiC-JFET の構造設計

【平成 28 年度】本研究開発では、信号増幅部を 3 個のトランジスタで構成する、いわゆる 3 トランジスタ型 CMOS イメージセンサ構造を採用する (図 3.1-1)。優れた S/N 比を実現するためには 4 トランジスタ構造の採用も視野に入れるべきであるが、①トランジスタ数を増やすほど耐放射線性は劣化する、②SiC はワイドバンドギャップであるため真性キャリア密度が極めて低くノイズ耐性は極めて高い材料である、という観点から、敢えて 3 トランジスタ型を採用した。

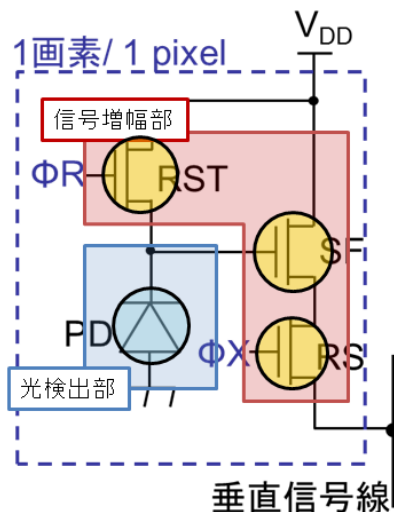
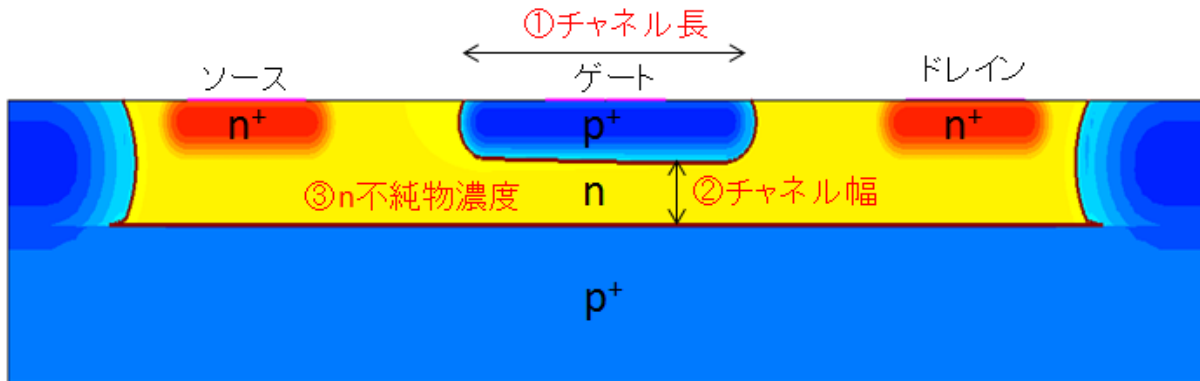


図 3.1-1 3 トランジスタ型イメージセンサの回路構成

ここで、各トランジスタに要求される特性を考える。あるフレームで画像取得後、次のフレームで画像を取得する前段で、信号をリセットするためのリセットスイッチ (RST)、及び垂直信号線に信号を供給するための画素選択スイッチ (RS) はノーマリオフ特性が求められるのに対して、増幅回路の要であるソースフォロアスイッチ (SF) は高い相互コンダクタンスが求められる一方でノーマリオフ特性である必要性はない。SiC はワイドバンドギャップ半導体であるため、JFET のゲートを構成する pn 接合は、ゲート電圧に 2.5 V

以上の順バイアス電圧を印加しない限りゲート電流は流れない。つまり、ゲート電圧 0 V のビルトインポテンシャルでドレイン電流を遮断できるノーマリオフ特性を容易に実現することが可能であり、RST スイッチ、及び RS スイッチに適用できる。一方、チャネル幅を広げることで高い相互コンダクタンスとノーマリオン特性も容易に実現でき、SF スイッチ



に適用できる。結果として、SiC-JFET を活用することで 3 トランジスタ型イメージセンサを実現することができることになる。

図 3.1-2 SiC-JFET の断面構造

次に、実際に SiC-JFET のノーマリオン・オフ特性を制御するための設計パラメータを検討した。図 3.1-2 は SiC-JFET の断面構造を示している。SiC-JFET は p+ 基板上の n- 型活性層の中に、電流の出入り口になる n+ 型ソース・ドレイン領域、及びドレイン電流を調整する p+ 型ゲート領域から形成されており、キャリアとなる電子はソース領域からゲート下のチャネル領域を通り、ドレイン領域に流れ込む。この際、ノーマリオン・オフ特性を制御するためには、①チャネル長、②チャネル幅、③n-不純物濃度、の 3 パラメータが挙げられる。ここでは、Synopsis 社製のデバイスシミュレータ Sentaurus を用いて、これら 3 パラメータがデバイス特性に及ぼす影響を調べた。

(a) チャネル長依存性

ここでは、チャネル長を 3 水準で変化させた（図 3.1-3）。(a) が最もチャネル長が短く、(c) が最もチャネル長が長い素子である。それぞれの構造において、ドレイン電流・ゲート電圧特性 (I_d - V_g 特性) を計算した結果（ドレイン電圧 V_d は 1 V に固定）を図 3.1-4 に示す。ゲート電圧 V_g が 0 V 以下の領域ではドレイン電流 I_d が流れておらず、ノーマリオフ特性となっていることが分かる。また、例えば $V_g = 2$ V の時、最もチャネル長が短い素子(a)が、最もチャネル長が長い素子(c)と比較して 2 倍程度の I_d が得られているのに対して、ドレイン電流 I_d が流れ始めるゲート電圧（以後、しきい値電圧 V_{th} と呼ぶ）はチャネル長によらずほぼ一定である。この傾向は n-活性層の不純物濃度を変えても大きな変化はない。この結果から、チャネル長によってノーマリオン・オフ特性を制御することは困難であることが分かった。

(b) チャネル幅依存性

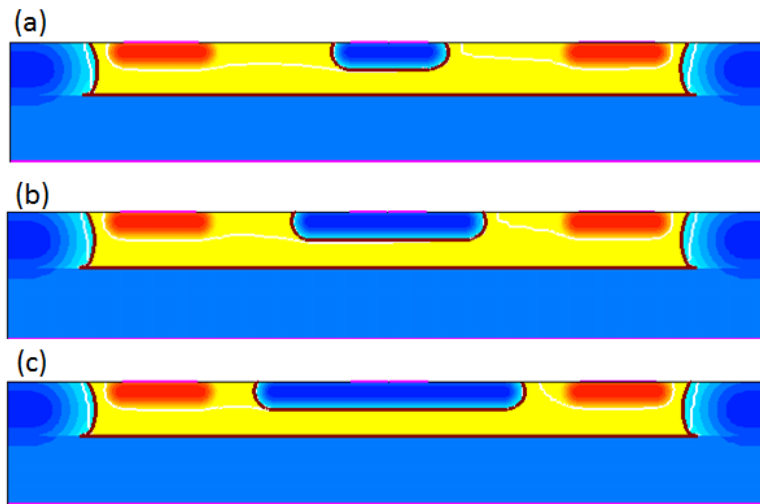


図 3.1-3 チャンネル長を 3 水準で変化させた場合の SiC-JFET 断面構造

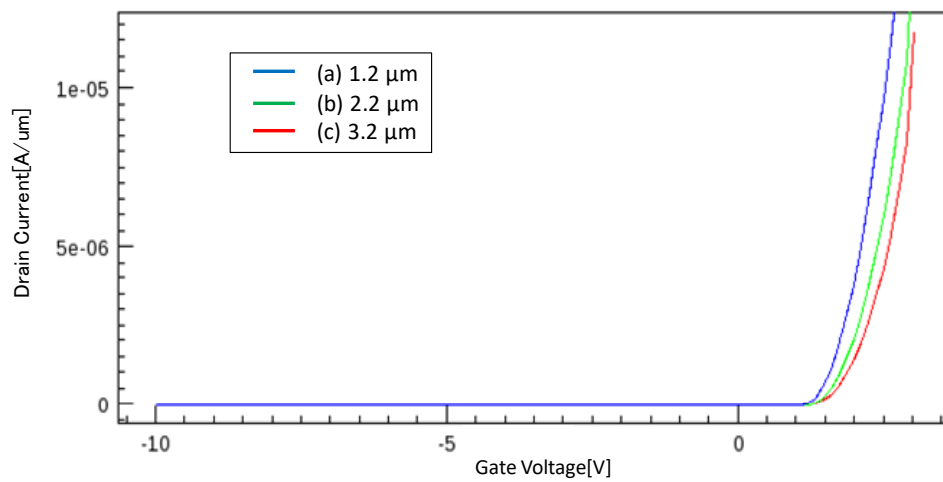


図 3.1-4 チャンネル長を 3 水準で変化させた場合の I_d - V_g 特性

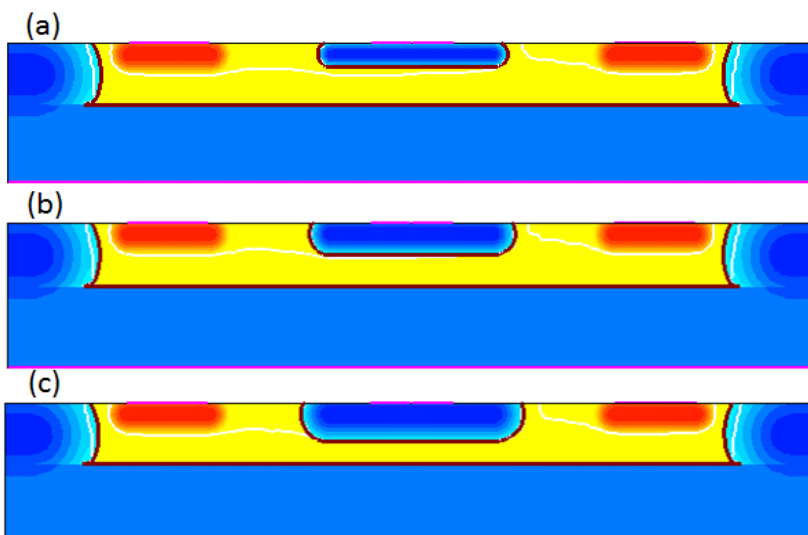


図 3.1-5 チャンネル幅を 3 水準で変化させた場合の SiC-JFET 断面構造

次に、チャンネル長は固定し、チャンネル幅を 3 水準で変化させた (図 3.1-5)。(a)が最もチャンネル幅が広く、(c)が最もチャンネル幅が狭い素子である。それぞれの構造において、 I_d - V_g 特性を計算した結果 (V_d は 1 V に固定) を図 3.1-6 に示す。チャンネル幅が

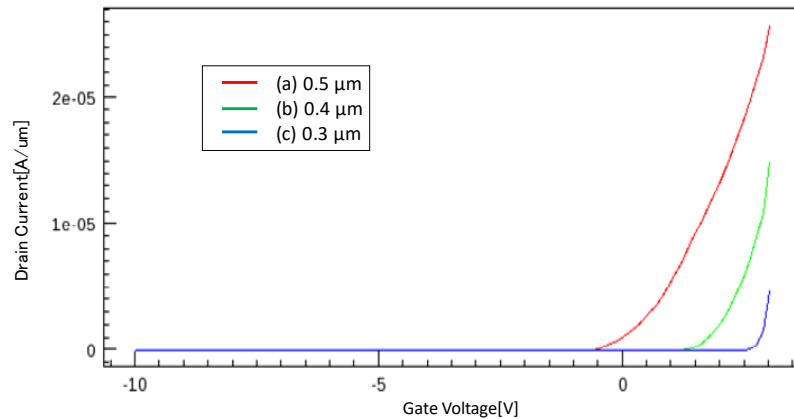


図 3.1-6 チャネル幅を 3 水準で変化させた場合の I_d - V_g 特性 (低不純物濃度)

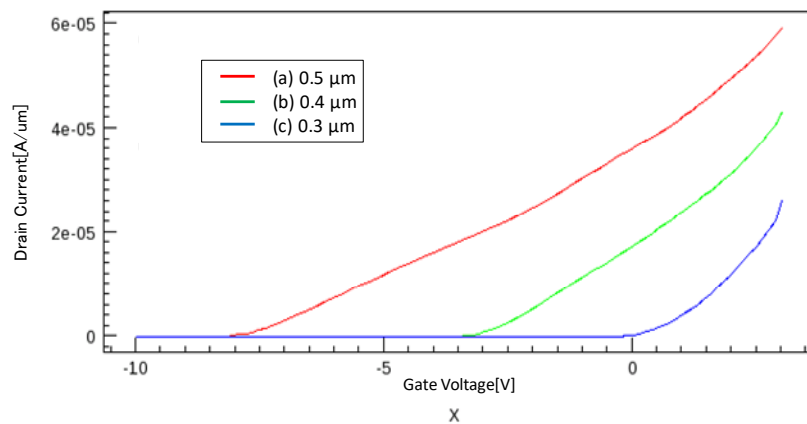


図 3.1-7 チャネル幅を 3 水準で変化させた場合の I_d - V_g 特性 (高不純物濃度)

最も狭い素子(c)ではノーマリオフ特性になっているが、チャネル幅が最も広い素子(a)ではノーマリオン特性になっていることが分かる。チャネル幅が広い方が、電流が流れる経路が広く確保できるためノーマリオン特性になることは理論的にも正しい。但し、素子(a)においても V_{th} は -0.5 V 程度であり完全なノーマリオンとは言えない。そこで、n-型活性層の不純物濃度を図 3.1-6 の条件よりも 2 倍高くした場合の I_d - V_g 特性を計算した結果 (V_d は 1 V に固定) を図 3.1-7 に示す。特に、チャネル幅が最も広い素子(a)では、 V_{th} の値は負側に大きくシフトしており、ノーマリオンからノーマリオフまで制御できていることが分かる。

(c) n-型活性層の不純物濃度依存性

最後に、チャネル長・チャネル幅は固定し、n-型活性層の不純物濃度のみを 3 水準で変化させた場合の I_d - V_g 特性を図 3.1-8 に示す。(a)が最も不純物濃度が低く、(c)が最も不純物濃度が高い素子である。不純物濃度が低い素子(a)では空乏層が広がりやすいためノーマリオフ特性が得られやすいのに対し、不純物濃度が高い素子(c)では、逆に空乏層が広がりにくくチャネルが閉まりにくくなるためノーマリオン特性が得られやすい。計算結果を見ても不純物濃度によりノーマリオン・オフ特性の制御が可能であることを示している。但し、本研究のイメージセンサでは、同一の SiC 基板上にノーマリオ

ン・オフ特性の SiC-JFET を作り込むため、一部のみ不純物濃度の異なる活性層を形成することは極めて困難であり現実的ではない。

上記検討結果より、SiC-JFET のノーマリオン・オフ制御を効果的に行うためには、チャネル幅をパラメータとすることが妥当である事が分かった。

【平成 29 年度】平成 29 年度は上記検討結果に基づき、p+型ウェハ上に n-型活性層を形成するタイプの SiC-JFET を試作した。この際、p+型ウェハは現在では市販されていないが、過去に生産されストックされていたウェハを入手し試作に供した。本試作において、SiC-JFET としての基本素子特性、及び優れた温度特性を確認する事ができたが（3.1.3 節参照）、一方で 3 インチウェハ面内においてその特性に分布が生じており、その原因がエピタキシャル成長膜の膜厚分布にあることが分かった。また、p+型ウェハの低い品質に起因していると思われる素子特性の不安定性（しきい値電圧の不安定性等）が放射線照射によってされに不安定性が増すという課題が確認された（3.3.1 節参照）。p+型ウェハを活用する限り、エピタキシャル膜の膜厚分布、及び素子特性の不安定性が発生することは避けられず、デバイス設計を見直す必要があることが明らかになった。

上記検討結果を基に、実際のデバイス試作工程を念頭においたデバイス構造を再検討した。前述した通り、パワーデバイス用半導体材料として有望な SiC は、現在では n+型ウェ

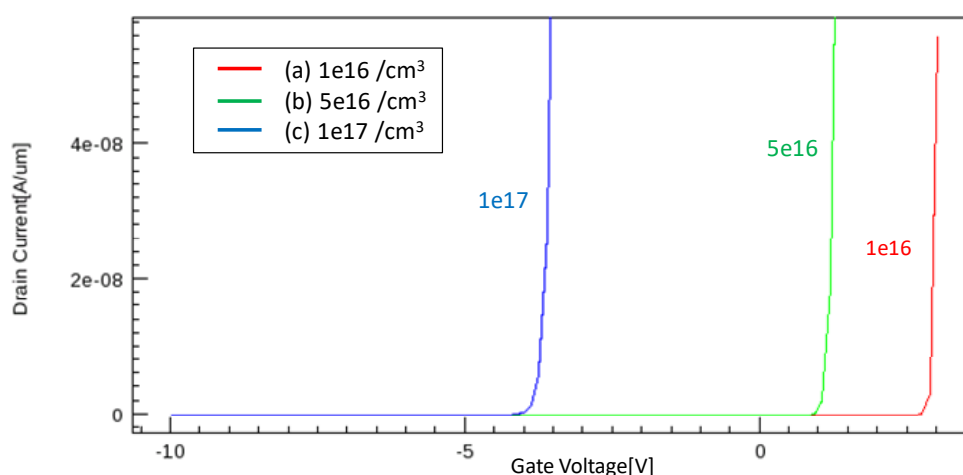


図 3.1-8 n-不純物濃度を 3 水準で変化させた場合の I_d - V_g 特性

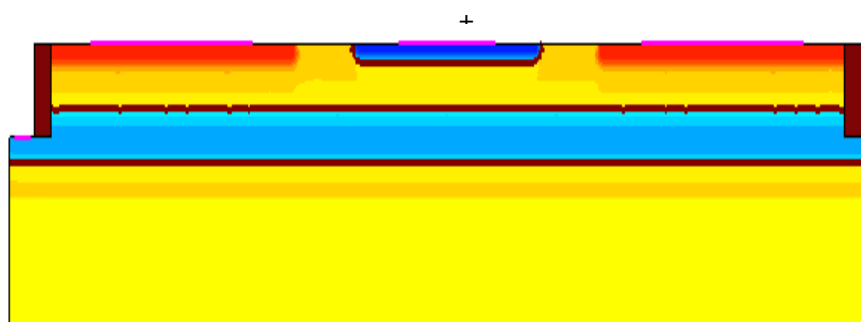


図 3.1-9 電気特性のばらつきを抑制した SiC-JFET の断面構造

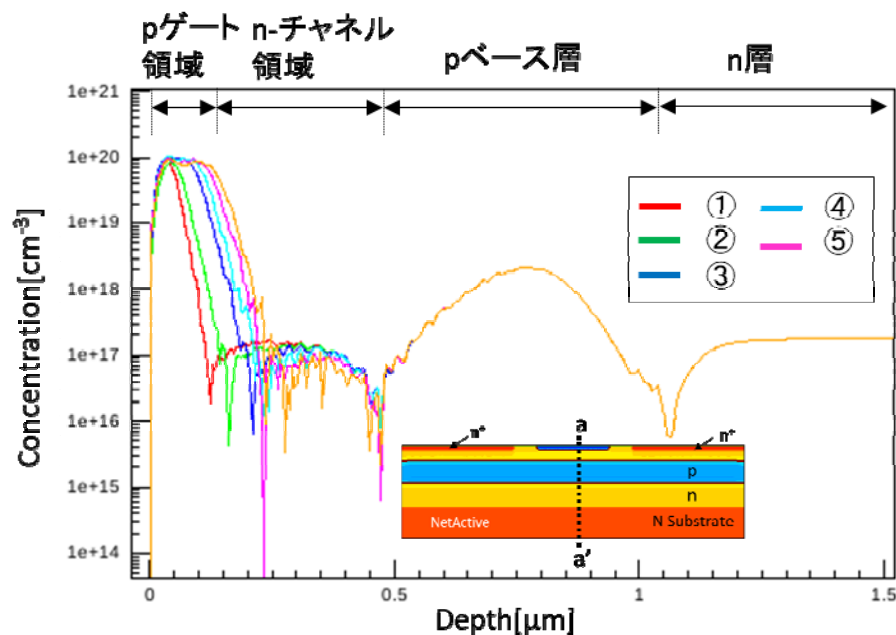


図 3.1-10 Al イオン注入により形成した p 型ベース層、
及び p+型ゲート領域の不純物濃度分布

ハのみが市販されており、p+型ウェハは市販されていない。また、エピタキシャル膜厚を精密に制御することが困難であることから、n+型ウェハ上に p+ベース領域を形成する手段として、イオン注入法を選択することとした。イオン注入法では p+型ベース層、及び p+型ゲート領域の厚みをイオン注入のエネルギーで精密に制御することが出来るため、結果的にチャネル領域の厚みも精密に制御できることになり、ノーマリオン・オフ制御を容易に行う事ができるという利点がある。以上の考察のもと、本研究ではイオン注入法を用いた SiC-JFET の作製プロセスを採用することとした。

図 3.1-9 にイオン注入プロセスを用いた SiC-JFET のデバイス構造を示す。図 3.1-2 では p+型ウェハ上に n-型活性層を形成していたが、図 3.1-9 では n+型ウェハ上に n-型活性層を形成することになる。後者の構造では、p+型ベース層、及び p+型ゲート領域は何れもイオン注入により形成されるため、両領域に挟まれたチャネル層の幅はイオン注入のエネルギーにより精密に制御できることから、n-型活性層のエピタキシャル膜成長条件のばらつきに依存しない精密なノーマリオン・オフ制御が可能となる。

上記の構造において、ノーマリオン・オフ特性を実現するために、Synopsis 社製のデバイスシミュレータ Sentaurus を用いて各種デバイスパラメータの最適化を図った。図 3.1-10 に、デバイスシミュレータにより計算した Al イオン注入により形成した p+型ベース層、及び p+型ゲート領域の Al 不純物濃度分布 (a-a'断面) を示す。p+型ベース層は Al の 2 価、及び 3 価イオンを用いて、表面からの深さ 0.5~1.0 μm の比較的深い領域に形成し、ピーク不純物濃度は $2.0 \times 10^{18} \text{ cm}^{-3}$ とした。ピーク不純物濃度は n-型チャネル領域からの空乏層が伸びない程度に高い濃度に設定した。また p+型ゲート領域は、低い注入エネルギーから高い注入エネルギーまで、5 水準の注入エネルギーを選択し計算した。高い注入エネルギーを選択した場合は、p+型ゲート領域の深さが深くなると同時に、n-型チャネル領域

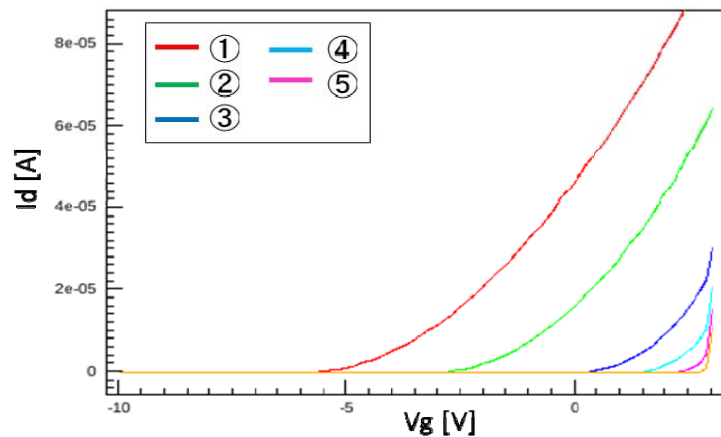


図 3.1-11 5 水準のイオン注入条件で p+型ゲート領域を形成した場合の
ドレイン電流・ゲート電圧依存性 (I_d - V_g 特性)

の幅が狭くなる。その結果、SiC-JFET のしきい値制御を精密に行うことが可能となる。

図 3.1-11 は、上記 5 水準で p+型ゲート領域形成時の注入エネルギーを選択した場合のドレイン電流・ゲート電圧依存性 (I_d - V_g 特性) をデバイスシミュレータで計算した結果である。①の p+型ゲート領域を形成するイオン注入エネルギーが最も低い条件では、n-型チャネル領域の幅が最も広くなり、 I_d が流れ始めるゲート電圧 (以後、しきい値電圧 V_{th} と呼ぶ) が負側へ大きくシフトしており、ノーマリオン特性が得られていることが分かる。一方、③～⑤の注入エネルギーが高い条件ではチャネル幅が狭くなるとともに V_{th} が正の値となり、ノーマリオフ特性が得られていることが分かる。このように、新規構造では p+型ゲート領域のイオン注入エネルギーを制御することによりノーマリオン・オフ特性を制御することが可能であるとともに、n-型活性層の厚みばらつきによる電気特性のばらつきは回避できることが分かった。

【平成 30 年度】上記検討結果に基づき、第 2 次プロトタイプ試作用の露光マスクを設計・作製した。更に、第 3 次プロトタイプ試作では p+型ベース層へ接続するための p+型

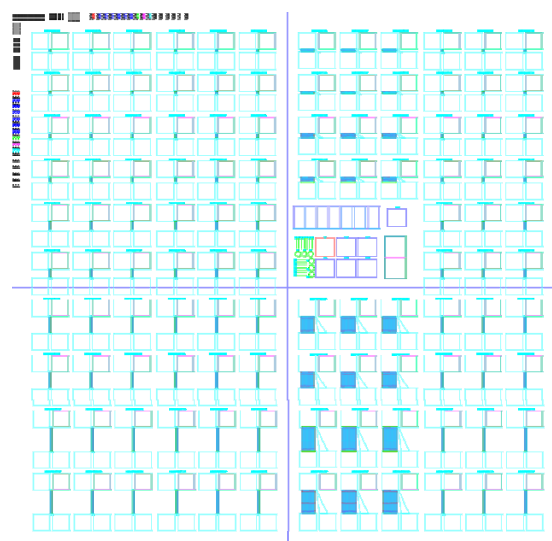


図 3.1-12 SiC-JFET 第 3 次プロトタイプ試作用露光マスクパターン

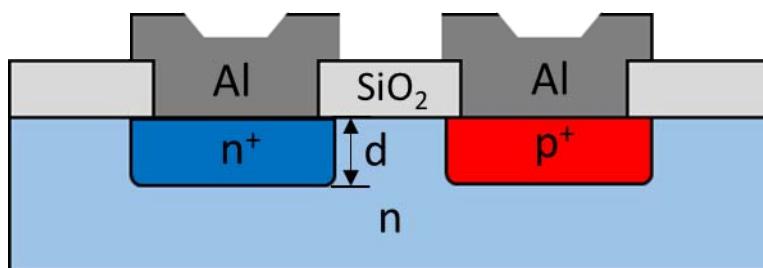


図 3.1-13 本研究で設計した Si フォトダイオードの基本構造

コンタクト層のイオン注入用マスク工程に不具合が生じたため、その部分だけ修正を施した第 3 次プロトタイプ試作用の露光マスクを設計・作製した（図 3.1-12）。

② Si フォトダイオードの構造設計

【平成 29 年度】本研究において光を検出するフォトダイオード部は、比較的耐放射線性の高い Si フォトダイオードを活用する計画である。平成 28 年度において、市販の Si フォトダイオードの耐放射線評価を実施したが、本研究において実際に試作した Si フォトダイオードが想定通り高い耐放射線性を示すかどうかについて評価する必要があり、そのための Si フォトダイオードの構造設計を行った。

図 3.1-13 に、Si フォトダイオードの基本構造を示す。n+型基板上に p+型アノード領域、及び n+型カソード領域が形成される単純な pn 接合構造である。それぞれの深さ d は $1 \sim 1.5 \mu\text{m}$ 程度とし、p+型アノード領域と n+型カソード領域間の距離は $10 \mu\text{m}$ に設定することとした。図 3.1-14 に、B（ホウ素）イオン注入により形成した場合の p+型アノード領域と、P（リン）イオン注入により形成した場合の n+型カソード領域の不純物濃度

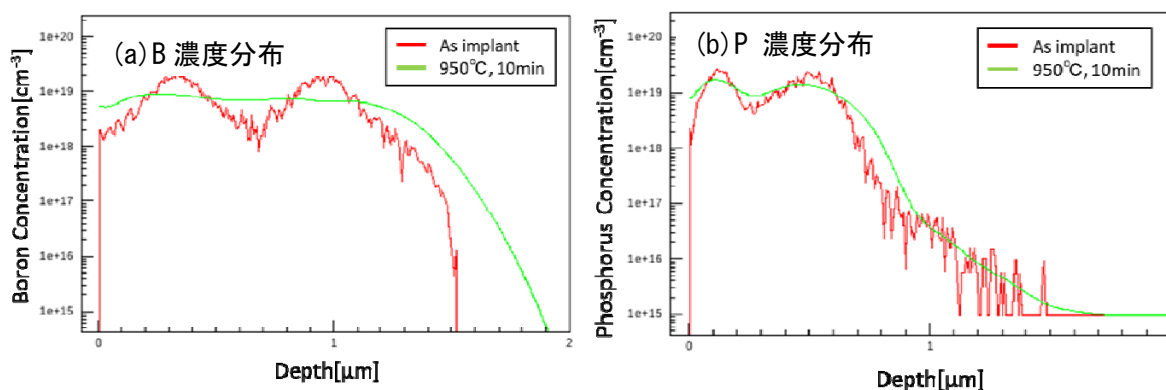


図 3.1-14 イオン注入した不純物の活性化アニール前後の濃度分布

(a)B 濃度分布 (b)P 濃度分布

深さ分布をデバイスシミュレータで計算した結果を示す。何れも 2 段の注入エネルギーでイオン注入を行っているので注入直後は二つのピークが見られるが（赤線）、 950°C 、10 分の活性化アニールにより不純物が拡散し平坦な分布になることが分かる（緑線）。

(3) まとめ

耐放射線イメージセンサを構成する SiC-JFET について、シミュレーションによる構造設計、及び露光マスクの設計・製作を実施した。試作した素子特性評価結果、及び耐放射線照射試験評価結果に基づき、p+型ウェハ上に試作する設計から n+型ウェハ上にイオン注入により p+型ベース層を形成する設計に変更することとした。また、光を検出する Si フォトダイオード部についても構造設計を行った。上記構造設計指針に基づき、露光マスクを設計・製作した。

3.1.2 要素プロセス技術の開発 (H28-H30)

(1) SiC へのイオン注入

【平成 28 年度】p+型ゲート領域を Al^+ のイオン注入で形成する際に、 Al の注入深さ分布が直接チャネル中の不純物濃度に影響を及ぼし、結果的に I_d - V_g 特性等の電気特性に影響を及ぼすことが懸念される。本項では、ゲート領域を形成するイオン注入プロセスの最適化検討を行った結果について報告する。

図 3.1-15 は、注入エネルギー40 keV で Al^+ をイオン注入した際の Al 原子の深さ分布を、SIMS により測定した結果である。SiC へイオン注入した不純物は、電氣的に活性化させるために 1,600 °C を超える高温で熱処理（活性化アニール処理）する必要がある。図中の赤線はイオン注入直後の深さ分布、紫線はイオン注入後に活性化アニール処理した直後の深さ分布である。イオン注入直後はほぼガウシアン分布に近い形で分布しているが、活性化アニール後は SiC 表面側に Al 原子が拡散していることが確認された。一方、pn 接合に近い領域（深さ=0.3 μm 付近）では活性化アニール前後で Al 原子の深さ分布に大きな差異がないことが分かった。注入エネルギー70 keV で Al^+ をイオン注入した際も 40 keV の場合と同じく表面側への拡散が観察されるとともに、pn 接合付近（深さ=0.4 μm 付近）の Al 原子の深さ分布には差異が見られなかった。

本結果から、 Al 原子の表面側への拡散を念頭においたゲート領域の形成条件を最適化する必要があることが確認されたとともに、懸念された pn 接合付近の Al の不純物の拡散はほとんど観察されなかった。

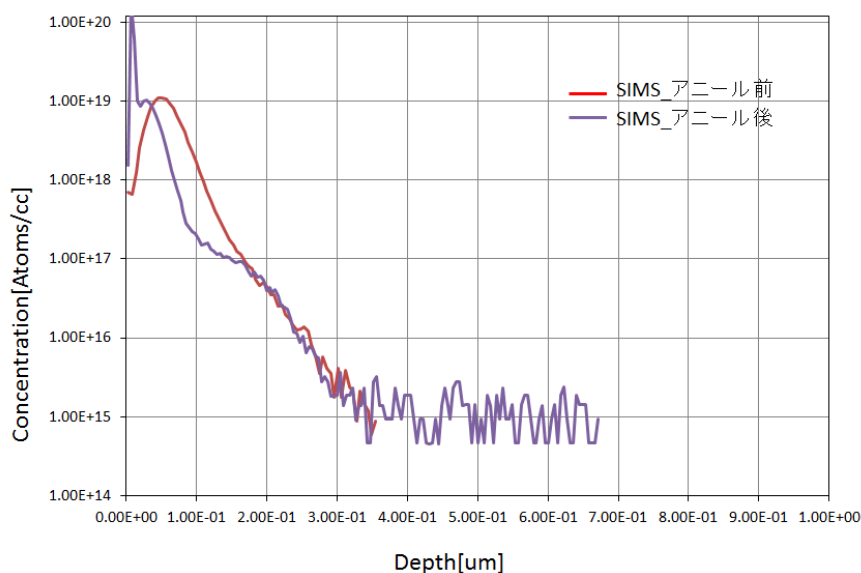


図 3.1-15 SiC へ Al^+ イオン注入した際の SIMS による深さ分布測定結果

(2) トレンチエッチング、及び SiO₂ トレンチ埋込による素子分離構造の形成

【平成 29 年度】隣接する素子の間を電氣的に絶縁する場合、素子分離技術を導入する必要がある。素子分離には大きく分けて、pn 接合による素子分離技術、及びトレンチによる素子分離技術が上げられる。前者は構造形成が比較的容易である一方で、容量カップリングによるノイズ伝播が懸念される。後者は、構造形成プロセスが複雑になる一方で、絶縁特性は理想的である。本研究では、優れた絶縁特性が期待されるトレンチによる素子分離技術を活用することとし、そのためのプロセス技術を検討した。

トレンチによる素子分離技術は、トレンチ形成のためのドライエッチング工程、及びトレンチを絶縁膜で埋め戻すトレンチ埋込工程からなる。図 3.1-16 にフッ素系ガスを用いてドライエッチングした際の断面 SEM 像を示す。トレンチ深さは目標値である 1.5 μm を達成しているが、トレンチ底端部にサブトレンチ構造（エッジ部のみ異常エッチングが促進される現象）が形成されていることが分かった。但し、サブトレンチを含むトレンチ構造は、素子分離の目的という観点からは大きな問題では無く、その後の絶縁膜によるトレンチ埋込工程にどのような影響を及ぼすかが課題となる。

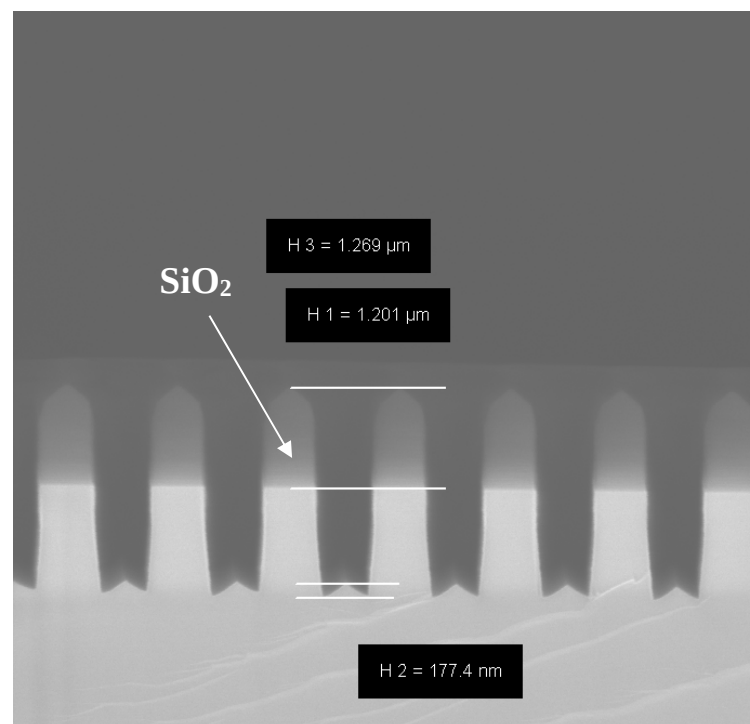


図 3.1-16 フッ素系ガスを用いて SiC をドライエッチングした際の断面 SEM 像
(コントラストの濃い部分はエッチングマスクの SiO₂ 膜)

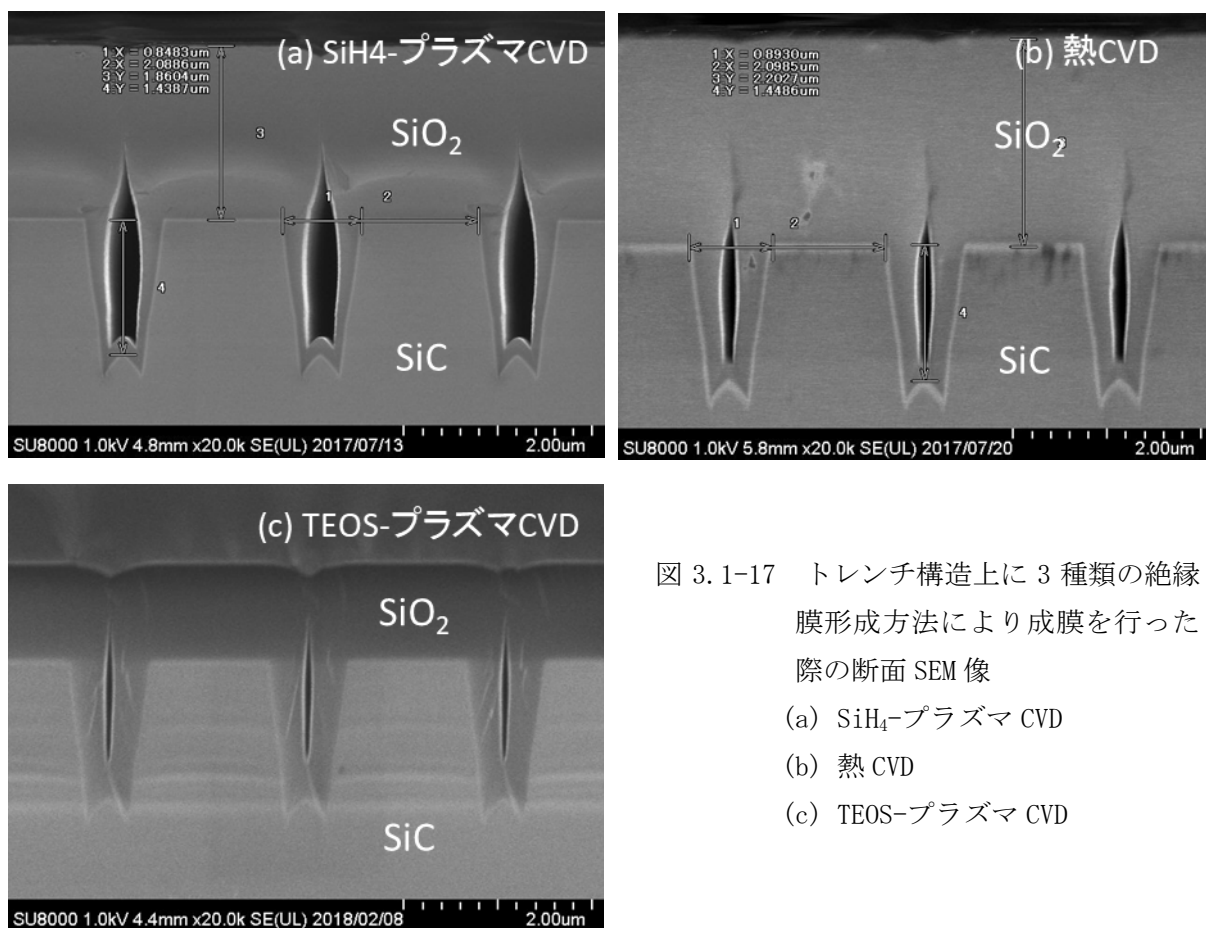


図 3.1-17 トレンチ構造上に 3 種類の絶縁膜形成方法により成膜を行った際の断面 SEM 像
(a) SiH₄-プラズマ CVD
(b) 熱 CVD
(c) TEOS-プラズマ CVD

図 3.1-17 に、上記トレンチ構造に対して 3 種類の絶縁膜 (SiO₂) 形成方法により埋込成膜を行った際の断面 SEM 像を示す。それぞれ、(a)SiH₄ (シラン) -プラズマ CVD、(b) 熱 CVD、(c)TEOS-プラズマ CVD の結果である。(a)では、トレンチの中に SiO₂膜が形成される前にメサ上の SiO₂膜が横方向に成長しトレンチを塞いでしまうため、トレンチ中に大きな空間 (ボイド) が形成されている。(b)では、(a)よりもボイドのサイズは縮小しており、(c)が最も小さいボイドサイズが観察された。ボイドのサイズは、その後のプロセスに影響を及ぼすことが懸念されるため、できる限り小さい方が望まれる。本研究では(c)の TEOS-プラズマ CVD による埋込方法を採用することとした。

(3) p+型ベース層のイオン注入による形成工程

【平成 30 年度】3.1.1 節で述べた通り、p+型ベース層をイオン注入により作製する場合、工程上検討すべき点がある。まず、チャネル領域は n 型層として残す必要があるため、p 型不純物である Al イオン (Al⁺) の注入エネルギー、注入ドーズ (ions/cm²) を精密に制御する必要がある。更に、p+型ベース層は 1 μm 深さ付近に形成する必要があるため、そのためには ~MeV 程度前後の注入エネルギーが必須のため、400 kV 級のイオン注入装置で 3 価の Al イオン (Al⁺⁺⁺) が必要となる。ここでは高エネルギーイオンをマスクするための厚いマスク材の選定を行った。

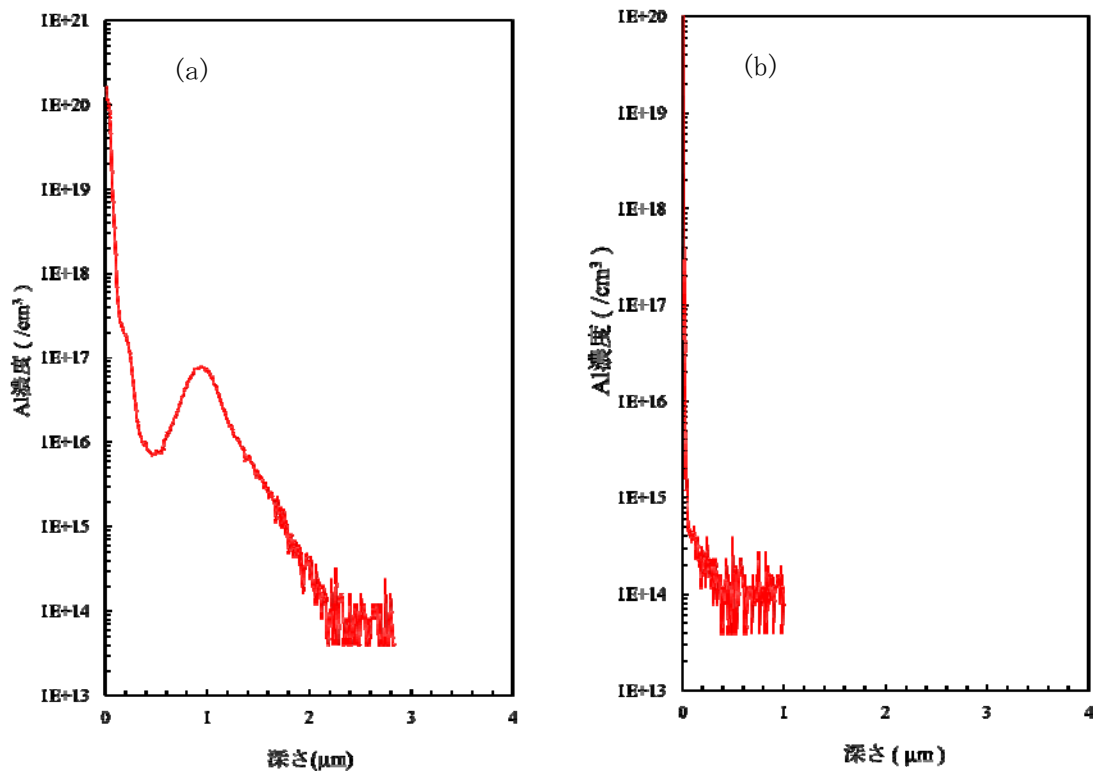


図 3.1-18 Al をイオン注入した SiC 中の Al 濃度深さ分布測定結果 (SIMS)

(a)SiC へ直接イオン注入、(b)SiO₂膜 (1.5 μm) /SiC へイオン注入

SiC へ不純物をイオン注入する場合、イオン注入によって生じる結晶欠陥を最小限に抑制するために 500 °C 以上の高温にすることが一般的である。従って、マスク材としては高エネルギーイオンをマスクする能力を有することに加え、高温にも耐える材料である必要がある。ここでは、通常 SiC へのイオン注入の際のマスク材として用いられている SiO₂ を用いて、どの程度の膜厚であれば MeV 級高エネルギーイオンをマスクできるか検証した。図 3.1-18(a)は、SiC ウェハに Al⁺⁺⁺イオンを 1,200 keV のエネルギーでイオン注入した際の Al 濃度の深さ分布であり、1 μm 深さ付近に濃度ピークが観察された。表面付近にあるブロードなピークは、同時にイオン注入された Al⁺イオン (40 keV) の分布である。一方、1.5 μm の SiO₂ 膜で遮蔽されたウェハでは、ほぼ Al が注入されていないことが分かった (図 3.1-18(b))。上記実験結果より、p+型ベース層の形成には 1.5 μm 以上の膜厚の SiO₂ 膜をマスク材として用いることとした。

(4) SiC-JFET、及び Si フォトダイオードのプロセスフロー

【平成 29 年度】3.1.1 節で述べたイオン注入により p+型ベース層を形成する SiC-JFET のプロセスフロー、及び、Si フォトダイオードのプロセスフローについて、その整合性を検証した結果を図 3.1-19、及び図 3.1-20 に示す。

【平成 30 年度】第 2 次プロトタイプ試作では、p+型ベース層へ接続するための p+型コンタクト層のイオン注入マスク工程に不具合が生じたため、その部分だけに修正を施した

プロセスフローを構築した。また、工程毎に矛盾がないか実際のプロセス作業を通じて検証し、問題が無いことを確認した。SiC-JFET 第 3 次プロトタイプ試作についても、図 3.1-19 と同様のプロセスフローとなった。

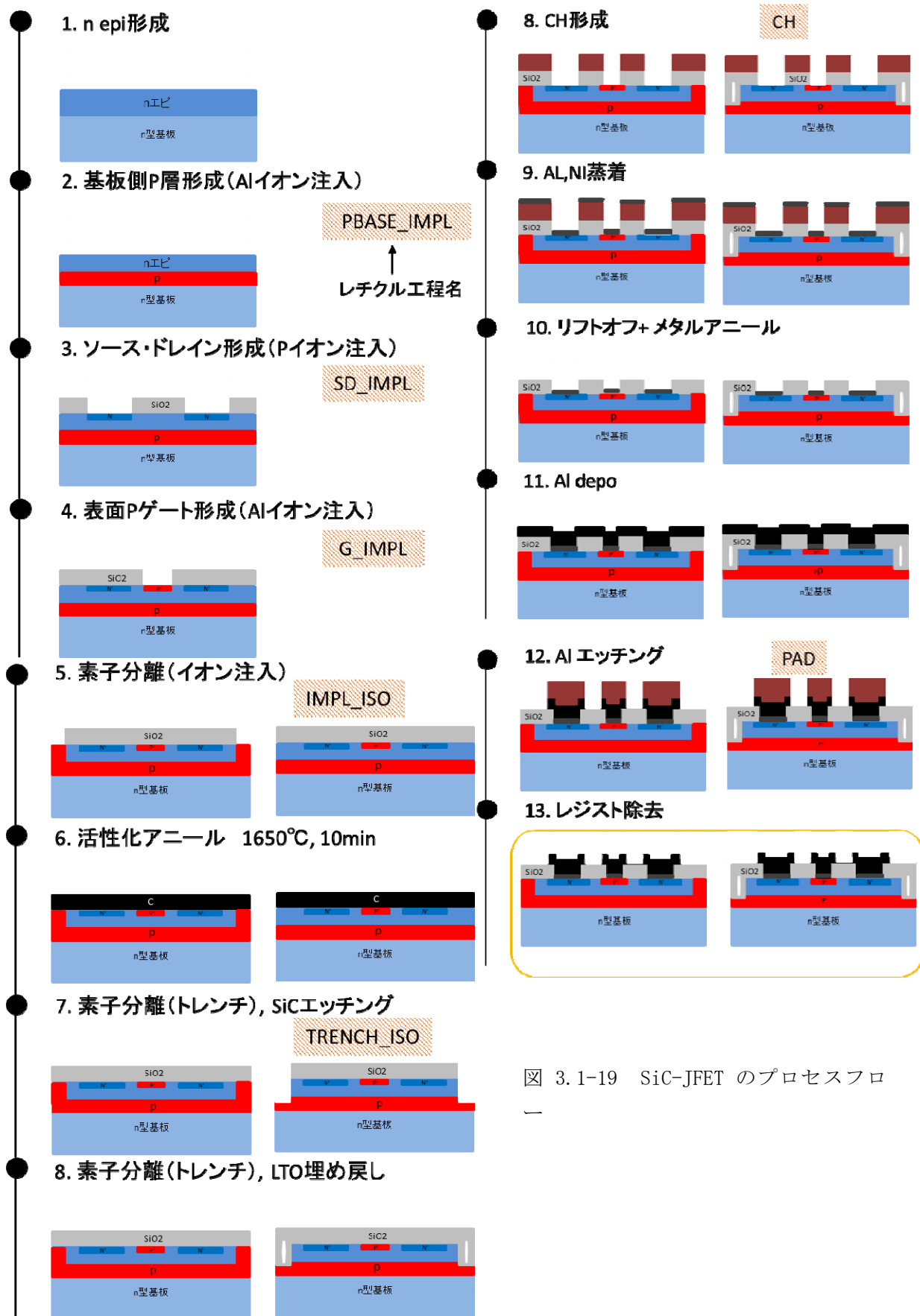


図 3.1-19 SiC-JFET のプロセスフロー

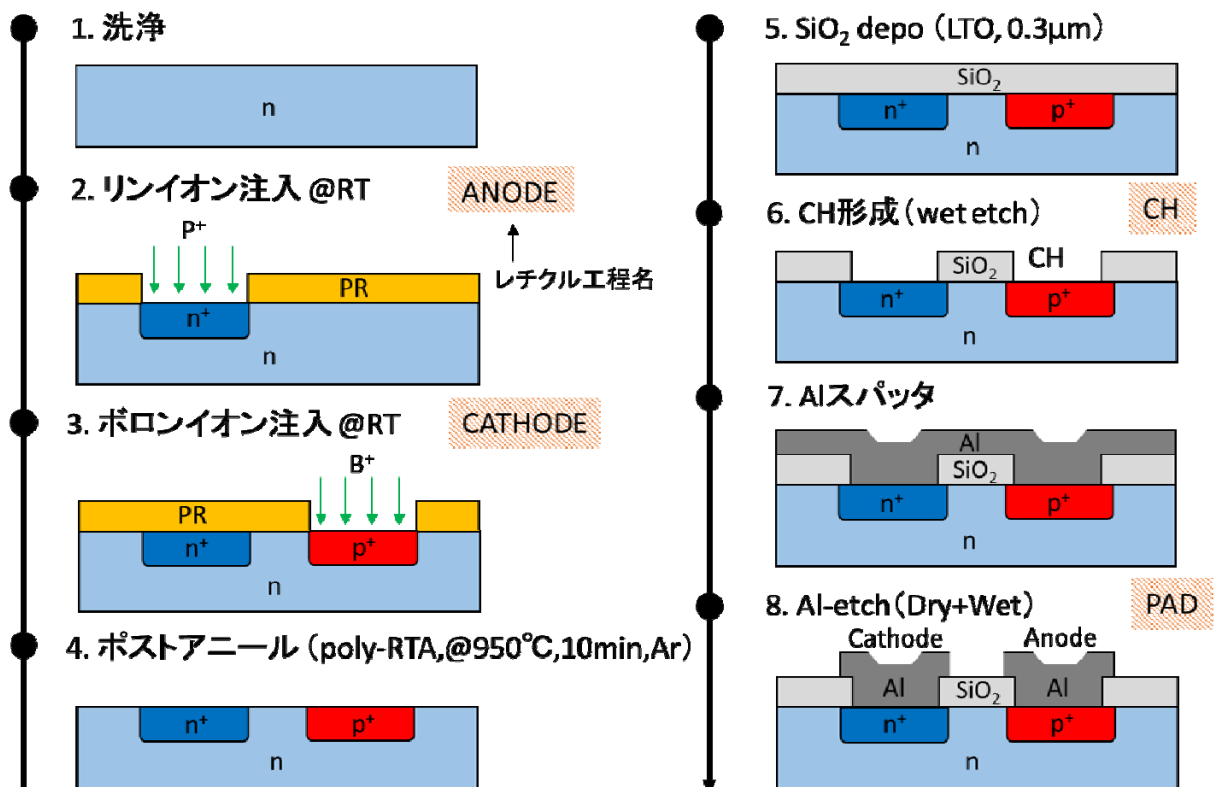


図 3. 1-20 Si フォトダイオードのプロセスフロー

3.1.3 プロトタイプ試作 (H29-H30)

(1) SiC-JFET 試作結果

【平成 29 年度】本項では、3.1.1 節で実施した構造設計指針に基づいて試作した SiC-JFET の評価結果について述べる。

図 3.1-21 は、p+型ウェハ上に試作した SiC-JFET (第 1 次プロトタイプ試作) の、(a) ウェハ外観写真、及び(b)断面 SEM 観察像である。断面 SEM 観察像より、ほぼ設計通りの構造が形成されていることが分かる。

図 3.1-22 は、試作した素子の代表的なドレイン電流・ドレイン電圧特性 (I_d - V_d 特性) である。ゲート電圧 V_g が 0 V でも電流が流れているノーマリオン特性を示しており、正常な FET 動作が確認できた。また、図 3.1-23 にドレイン電流・ゲート電圧特性 (I_d - V_g 特性) のチャネル厚さ t_{ch} 依存性を示す。 I_d - V_g 特性測定時のドレイン電圧は 1 V である。

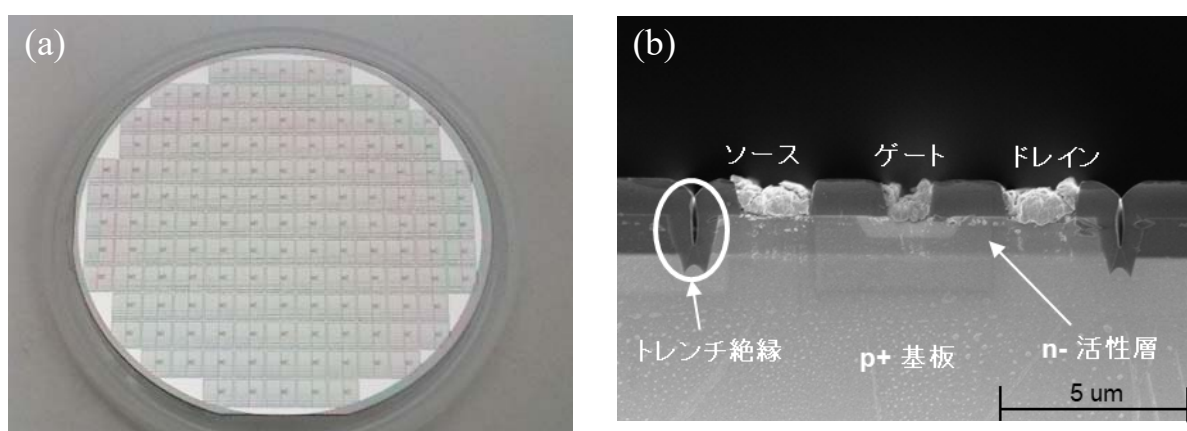


図 3.1-21 試作した SiC-JFET の (a) ウェハ外観写真、(b) 断面 SEM 像

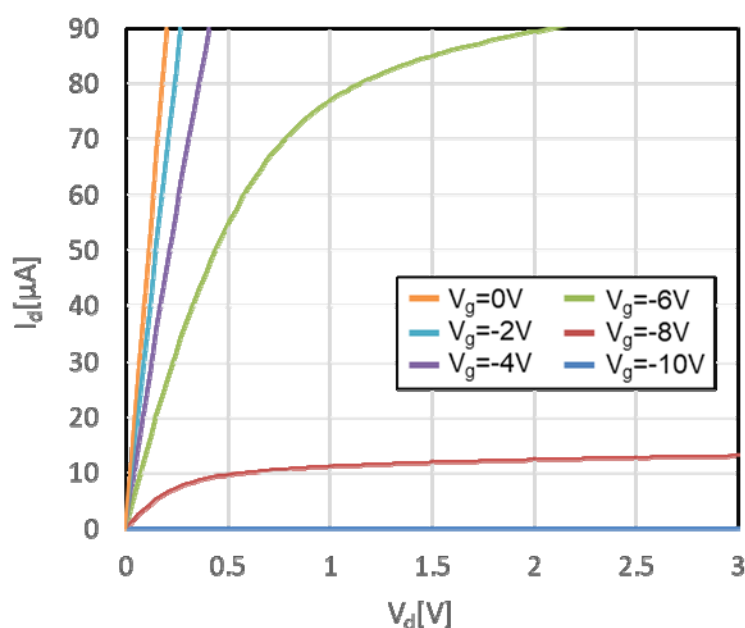


図 3.1-22 試作した SiC-JFET のドレイン電流・ドレイン電圧特性 (I_d - V_d 特性)

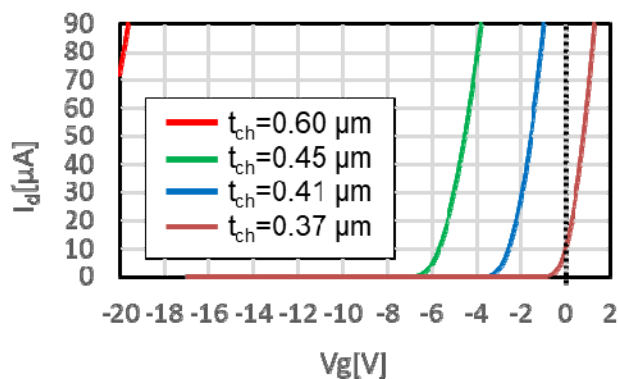


図 3.1-23 ドレイン電流・ゲート電圧依存性 (I_d - V_g 特性) の t_{ch} 依存性 (測定結果)

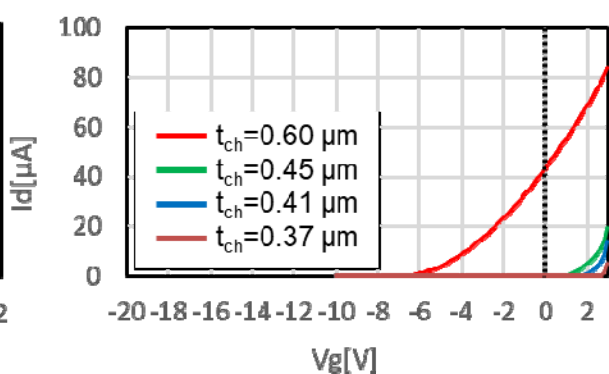


図 3.1-24 ドレイン電流・ゲート電圧依存性 (I_d - V_g 特性) の t_{ch} 依存性 (シミュレーション結果)

t_{ch} を変化させることでしきい値電圧 V_{th} が変化しており、ノーマリオン・オフ特性の制御が可能であることが実証された。但し、シミュレーションにより予想された V_{th} と比較すると、実測値は負側に大きくシフトしていることが分かった (図 3.1-24)。

以下に、上記のシミュレーションと実測値との乖離の原因について考察する。図 3.1-25 はウェハ面内で測定した V_{th} のマッピング結果である。ウェハ中心部で最も V_{th} が高くほぼノーマリオフ特性であるのに対し、ウェハ周辺部になるにしたがい V_{th} が負側にシフトしており、ウェハ上で同心円分布を描いていることが分かる。これは、n-型活性層の厚みが中心部が薄く、外周部が比較的厚くなっていることが原因であると考えられる。つまり、n-型活性層の厚みが厚い外周部ではウェハ中心部と比較してチャネル厚みが厚くなるため (図 3.1-26、 $t_{ch} < t'_{ch}$)、ノーマリオン・オフ特性が顕著 (V_{th} が負側にシフト) になる。実際、n-型活性層のエピタキシャル成長直後の膜厚 t_{epi} を確認したところ、ウェハ中心部

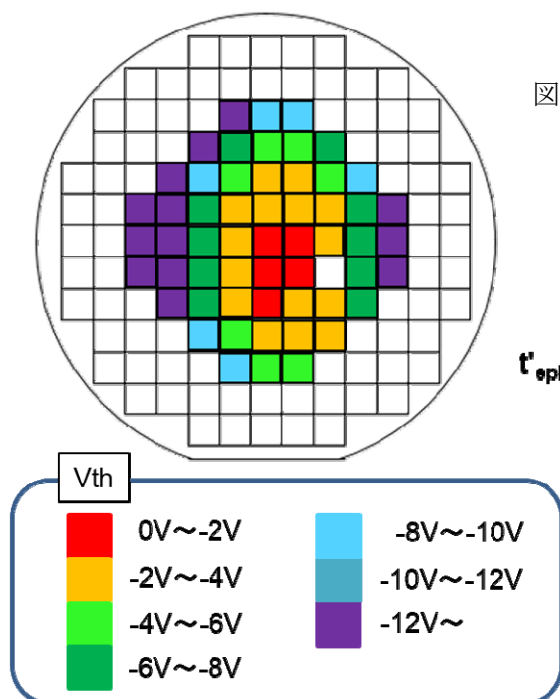


図 3.1-25 しきい値電圧 V_{th} のウェハ面内分布

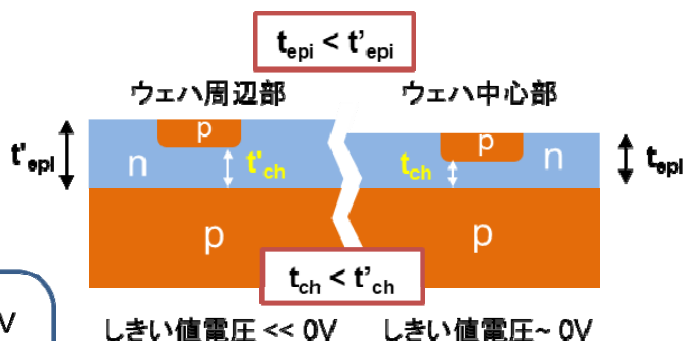


図 3.1-26 しきい値電圧 V_{th} のウェハ面内分布発生原因の考察

に対してウェハ周辺部は $0.2 \sim 0.3 \mu\text{m}$ ほど厚くなっており上記考察が正しいことを裏付けている。n-型活性層は CVD 法により形成するが、その面内膜厚分布の精度は $\pm 5\%$ 程度以下にすることは困難であり、更にウェハロット毎の膜厚精度も同じく $\pm 5\%$ 程度のばらつきは避けられないため、今回試作した構造設計を前提とする限り、精密な電気特性の制御、特に V_{th} の精密な制御は困難であることが明らかになった。上記課題を解決するためには n-型活性層の厚みに分布があることを前提とした構造設計が必要であり、平成 29 年度は 3.1.1 節で紹介した新たな素子構造を提案し、構造設計を新たに実施した。但し、耐放射線性を評価する上においては、試作した SiC-JFET を活用することで多くの知見が得られることが期待できるため、試作した素子は量研機構に提供し耐放射線性評価を行うこととした。

続いて、試作した SiC-JFET の電気特性温度依存性について評価した。図 3.1-27 は、室温から 300°C までの I_d - V_d 特性を測定した結果である。Si では 200°C を超えると半導体としての動作は破綻してしまうが、SiC では 300°C という高温においても極めて安定して動作していることが分かる。図 3.1-28 はリーク電流の温度依存性を測定した結果であるが、室温に対して 300°C においても 2 桁程度のリーク電流の増加しか観察されず、SiC という半導体の極めて優れた高温耐性を確認することが出来た。

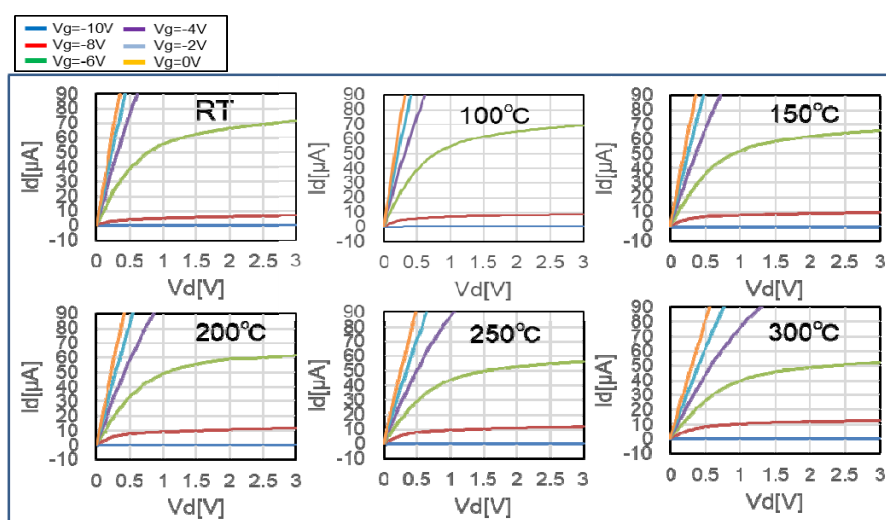


図 3.1-27 I_d - V_d 特性の温度依存性

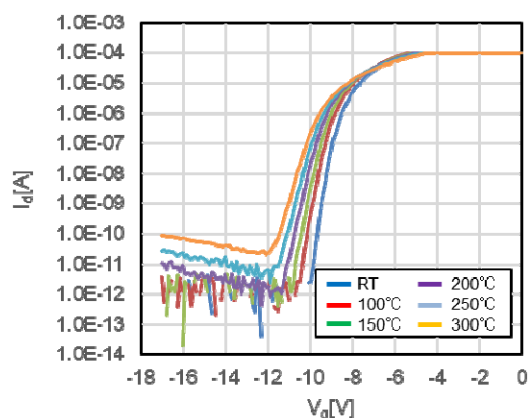


図 3.1-28 リーク電流の温度依存性

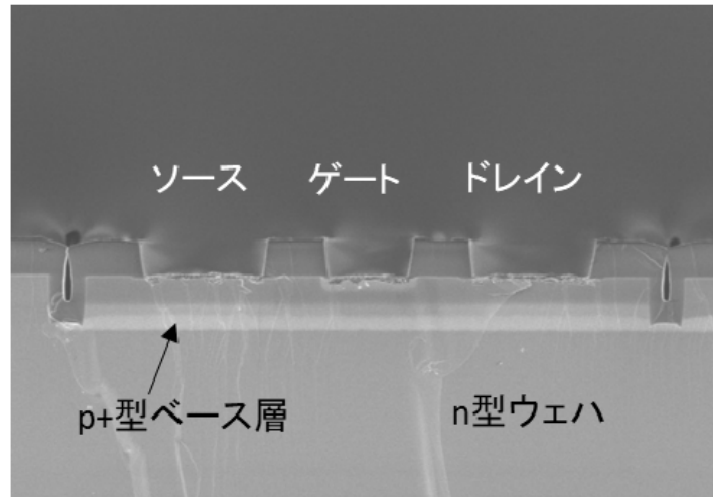


図 3.1-29 第3次プロトタイプ試作の断面 SEM 観察像

【平成 30 年度】次に、p+型ベース層をイオン注入で形成した素子特性の評価結果を示す（第3次プロトタイプ試作）。図 3.1-29 に試作した SiC-JFET の断面 SEM 観察像を示す。図 3.1-21b)とは異なり、p+型ベース層がイオン注入により一部の領域にのみ形成されていることが分かる。図 3.1-30 は、試作した SiC-JFET と同じウェハ面上に p+型ゲート領域と p+型ベース層と同じイオン注入条件で形成したプロセス検証用 TEG の SIMS 測定結果である。n 型活性層の不純物濃度は $2.0 \times 10^{17} \text{ cm}^{-3}$ であることから（図 3.1-30 の破線）、表面側の p+型ゲート領域と、深さ $1 \mu\text{m}$ 付近にピークがある p+型ベース層との間に、n 型チャネル領域が形成されていることが分かる。

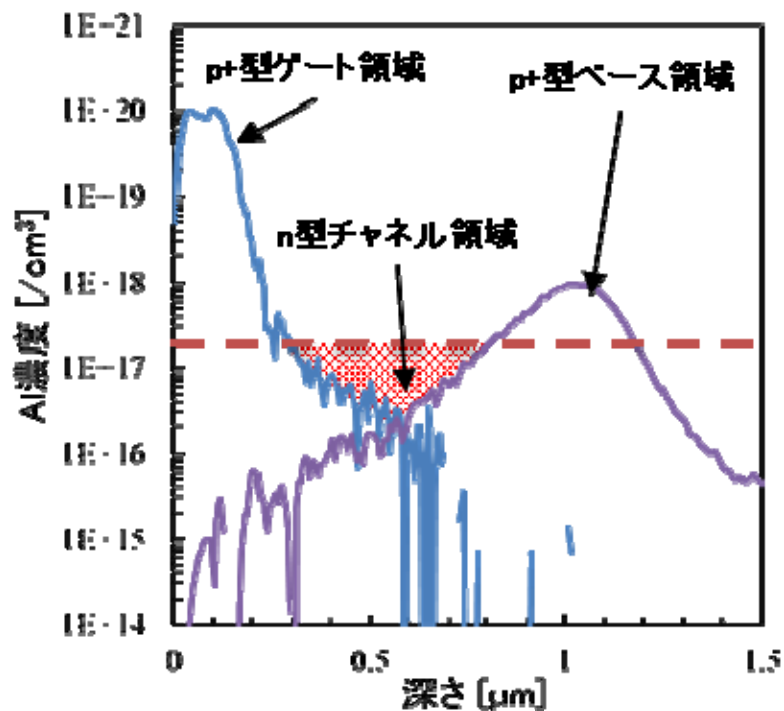


図 3.1-30 p+型ゲート領域、及び p+型ベース層の Al 濃度深さ分布（SIMS 測定）

図 3.1-31 に試作した SiC-JFET の I_d - V_d 特性、及び I_d - V_g 特性を示す。(a)、(b)及び(c)、(d)それぞれは、表 3.1-1 のイオン注入条件で p+型ゲート領域を形成した素子の特性である。

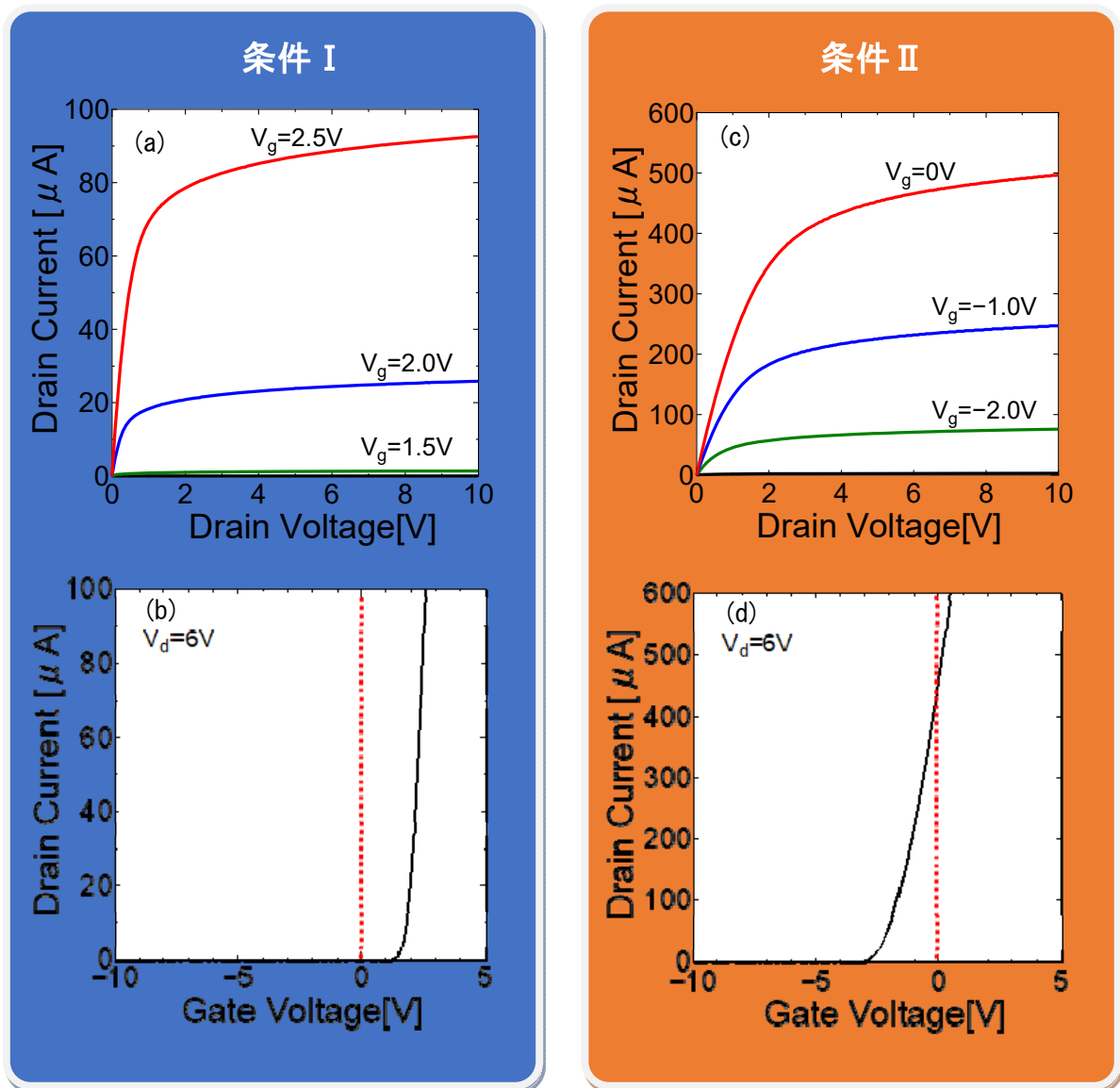


図 3.1-31 第 3 次プロトタイプ試作 SiC-JFET の素子特性

(a) I_d - V_d 特性、(b) I_d - V_g 特性 (条件 I で p+型ゲート領域を形成した素子)
(c) I_d - V_d 特性、(d) I_d - V_g 特性 (条件 II で p+型ゲート領域を形成した素子)

表 3.1-1 第 3 次プロトタイプ試作における p+型ゲート領域の形成条件

	注入エネルギー [keV]	ドーズ [/cm ²]
条件 I	30	4.00×10^{14}
	80	6.90×10^{14}
	160	1.33×10^{15}
条件 II	30	3.60×10^{14}
	90	8.90×10^{14}

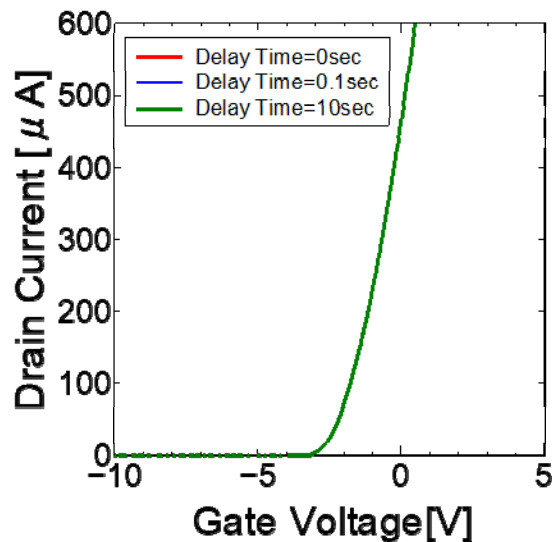


図 3.1-32 遅れ時間(Delay Time)を変化させた時の I_d - V_g 特性のばらつき

条件Ⅰでは p+型ゲート領域を形成するための Al イオン注入エネルギーの最大値が 160 keV、一方の条件Ⅱでは 90 keV とした。つまり、条件Ⅱに比べて条件Ⅰは p+型ゲート領域の深さ幅が広く、結果的にチャネル深さは狭くなり、しきい値電圧は正側（ノーマリオフ特性）になることが期待される。条件Ⅰ（図 3.1-31b）では、しきい値電圧として +2.2 V という正の値が得られており、設計通りノーマリオフ特性であることが確認できた。一方、条件Ⅱ（図 3.1-31d）では、しきい値電圧が -2.5 V という負の値となっており、ノーマリオン特性であることが確認できた。このように、p+型ゲート領域を形成するイオン注入の条件によりノーマリオン・オフ制御ができることが明らかになり、3.1.1 節で実施したデバイス設計通りの特性が得られていることが分かった。

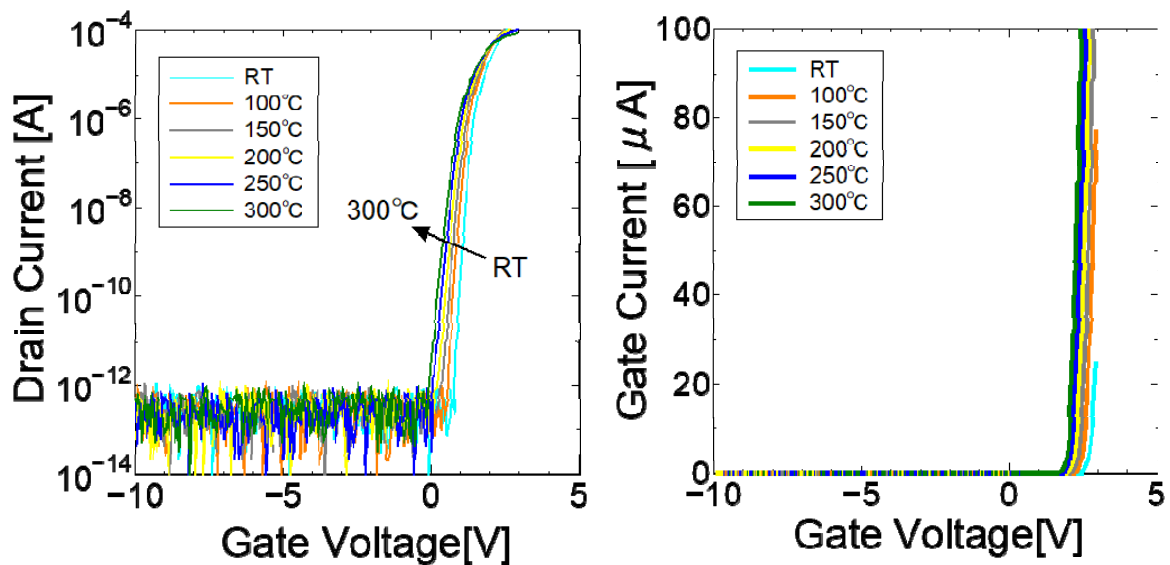


図 3.1-33 第 3 次プロトタイプ試作 SiC-JFET の I_d - V_g 特性の温度依存性

(a) 縦軸が Log 表示、(b) 縦軸が Linear 表示

図 3.1-32 は、 I_d - V_g 特性を測定する際のパラメータの一つである遅延時間 (Delay time) を変化させた際の I_d - V_g 特性のばらつきを測定した結果である。既に述べた通り、第 1 次プロトタイプ試作では p+型ウェハの品質が低いことに起因していると推察される素子特性の不安定性が観察されており、上記測定の際にも遅延時間の長さによって I_d - V_g 特性がシフトすることが観察されていたが、第 3 次プロトタイプ試作においてはそのような現象は一切観察されず、極めて安定した特性が得られていることが分かった。

次に、試作した SiC-JFET の高温特性について評価した。図 3.1-33 はノーマリオフ特性を持つ SiC-JFET の I_d - V_g 特性を室温から 300 °C の範囲で測定した結果である ((a) log 表示、(b) Linear 表示)。第 1 次プロトタイプ試作においても高温安定性が確認されたが、第 3 次プロトタイプ試作においても優れた高温安定性が確認されており、特に 300 °C においても測定装置の計測限界以下であることは特筆すべき結果である。また、高温になるに従ってしきい値電圧は負側に僅かにシフトするがノーマリオフ特性は維持されており、高温環境でも非常に優れた特性を有することが分かった。

ここで試作した SiC-JFET は第 1 次プロトタイプ試作したものと同様、量研機構における放射線照射評価のために提供した。その結果については、第 3.3-1 節において詳細を述べる。

(2) Si フォトダイオード試作結果

【平成 29 年度】本項では、試作した Si フォトダイオードの評価結果を述べる。

図 3.1-34 は試作した Si フォトダイオードのアノード電流・電圧特性 (IV 特性) を、ウェハ面内 5 箇所で測定した結果である。何れの箇所においてもほぼ同様の IV 特性が得

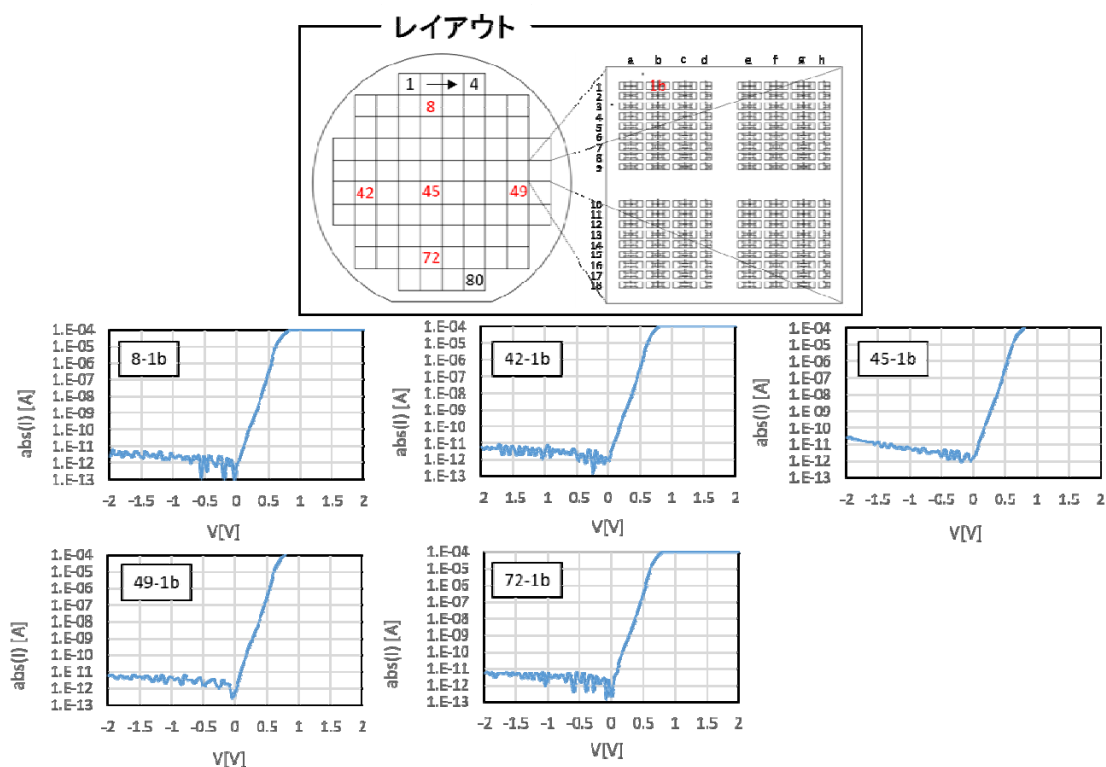


図 3.1-34 試作した Si フォトダイオードのアノード電流・電圧特性 (IV 特性)

られているとともに、室温において $10^{-12} \sim 10^{-11}$ A 程度のリーク電流におさえられていることが分かった。図 3.1-35 は、暗箱内、及び自然光下で IV 特性を測定し比較した結果である。自然光下で測定した場合は一桁程度リーク電流が増えており、フォトダイオードとしての動作を確認することが出来た。

ここで試作した Si フォトダイオードは、先の SiC-JFET と同じく耐放射線性を評価する

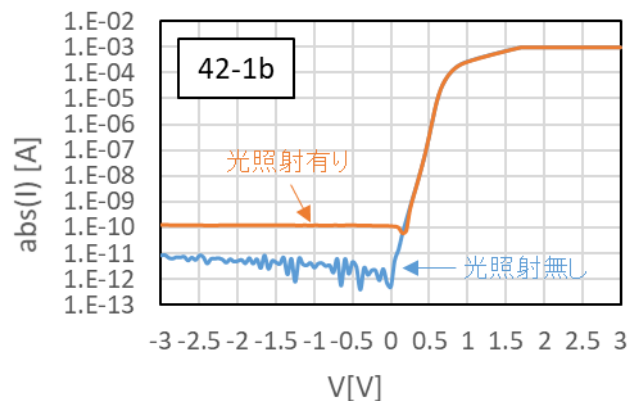


図 3.1-35 試作した Si フォトダイオードの IV 特性の光照射による影響

ため量研機構に提供した。

(3) まとめ

SiC-JFET、及び Si フォトダイオードの構造設計指針に基づき、素子試作・評価を行った。SiC-JFET については、その基本的な特性を第 1 次プロトタイプ試作において確認することができたが、電気特性のプロセス依存性が大きいことが課題として明らかになったため、第 2 次、第 3 次プロトタイプ試作へ向けてその結果をフィードバックし、改めて構造設計を行い、最終的に累積線量 2 MGy を超える耐放射線性を確認する事ができた。一方、Si フォトダイオードはほぼ設計通りの電気特性が得られたとともに、耐放射線性評価においても累積線量 2 MGy を超える耐放射線性を確認する事ができた。

3.2 ハイブリッド型 CMOS イメージセンサの集積化技術開発(再委託先：広島大学) (H28-H30)

3.2.1 集積化設計 (H28-H30)

(1) 目的

イメージセンサを構成する Si フォトダイオードと 3 個の 3C-SiC nMOS トランジスタを同一半導体基板上に集積化した 1 画素イメージセンサの設計を行い、更にこのセンサを多数個アレイ状に並べた多画素イメージセンサ設計を行う。それぞれのデバイス設計の他、信号ラインなどの多層配線も導入し、多画素イメージセンサの設計を行う。

(2) 方法

Si フォトダイオードと 3 個の SiC MOS トランジスタを 1 画素デバイスとし、これを同一半導体基板上に集積化した 1 画素および多画素イメージセンサの設計を行った。

① SiC 基板上的 Si フォトダイオード

SiC 基板上に Si フォトダイオードの集積化技術評価および設計と電気特性評価のための TEG (Test Element Group) パターンの設計を行った。SiC 基板上的 Si ダイオード形成方法として、Si 薄膜を SiC 上に形成してこれを用いる方法と SOI 基板を用いる方法を導入した。この両方の方法に対して SiC 基板上的 Si フォトダイオード評価のためのパターン設計を行った。SiC 基板上に形成した Si 結晶層の縦方向に N 型・P 型の不純物構造を形成し、層間絶縁膜形成後 Al コンタクト、及びパッドを形成する。これに対応したレイアウト設計を行った。

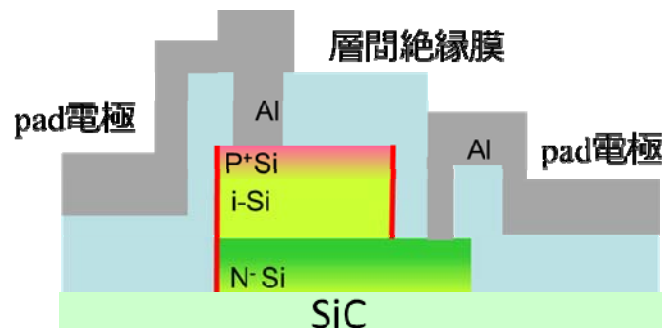


図 3.2-1 SiC 基板上的 Si フォトダイオード

② 1 画素イメージセンサの設計

SiC MOSFET と Si フォトダイオードを組み合わせた 1 画素デバイスのレイアウト設計を行った。Si フォトダイオード形成と同じく、SiC 基板上的 Si ダイオード形成方法として SOI 基板を用いる方法を導入した。これに対応して 1 画素デバイスのためのパターン設計を行った。1 画素デバイスのデバイス構造断面図を図 3.2-2 に示す。SiC 基板上に MOSFET を形成し、その SiC 基板上に Si フォトダイオードを形成する。トランジスタへはリセット (RST)、電源電圧 (VDD)、画素選択 (RS)、出力端子 (OUT) の端子が接続され、Si フォトダイオードにはグラウンド (GND) 端子が接続される。作製プロセスを鑑み、レイヤーごとにレイアウト設計を行った。

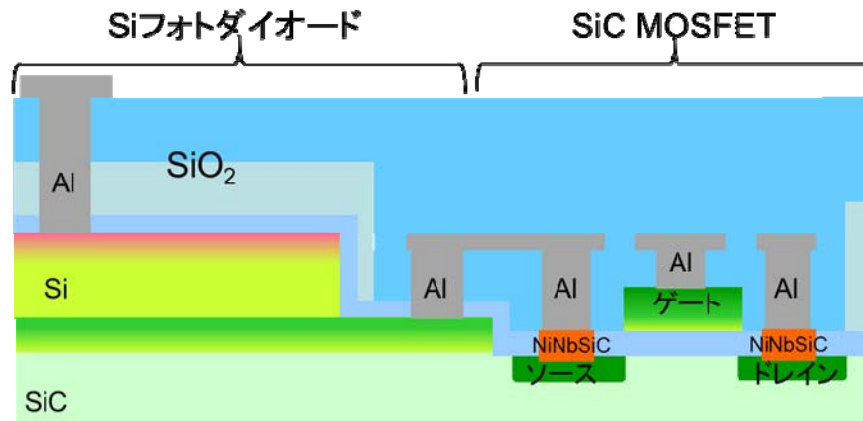


図 3.2-2 ハイブリッド型 CMOS イメージセンサの断面図

③ 多画素イメージセンサの設計

画素デバイスを配列させた多い画素イメージセンサのレイアウト設計を行った。レイヤーごとにレイアウト設計を行った。トランジスタのリセット端子(RST)、電源電圧端子(VDD)、画素選択端子(RS)、出力端子(OUT)のそれぞれに配線が接続され、Si フォトダイオードにはグランド(GND)配線を接続した。

(3) 結果

① SiC 基板上の Si フォトダイオード

【平成 28 年度】Si フォトダイオードにおけるガンマ線照射耐性には、フォトダイオード本体の耐性だけでなくパッシベーション膜であるシリコン層間絶縁膜との界面の効果が大きいと考えられる。ガンマ線照射による界面準位形成により、フォトダイオード中で光照射により発生したキャリアのライフタイムが低減すると考えられる。これを評価する TEG として、フォトダイオードの光照射面積を固定し、これに対して周辺長を変化させて TEG を設計した。

② 1 画素イメージセンサの設計

【平成 29 年度】1 画素デバイスは 3 個の SiC MOS トランジスタと SOI-Si による Si フォトダイオードからなり、3 個のトランジスタは SiC 不純物高濃度層を通して、フォトダイオードは SF トランジスタのゲート部と接続するなどして画素デバイスとした。典型的なデバイスのサイズは、トランジスタのチャネル長は 10 μm 、チャネル幅は 50 μm 、シリコンフォトダイオードのサイズは 500 μm 角とした。各電極端子は、電源端子(VDD)、グランド端子(GND)、リセット端子(RST)、セレクト端子(RS)、出力端子(OUT)とした。グランド端子(GND)は通常基板側にとるために必要ないが、本デバイスではシリコンフォトダイオードを SiC 基板上に形成したために必要となった。

③ 多画素イメージセンサの設計

【平成 30 年度】1 画素デバイスをチップ内に配置し、微細多層配線を形成しこれに接続し、これをレイヤーごとにレイアウト設計を行った。1 画素デバイスを縦方向に 8 個、横 8 個に配置した 64 画素デバイスにおいては、1 層 poly-Si 配線、2 層 Al 配線の 3 層の多層配線を配置した。このレイアウトを発展させ、1 万画素(128×128)までの設計を行った。

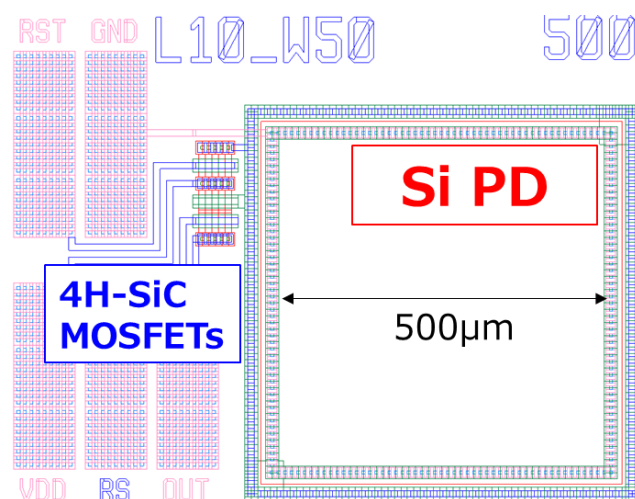


図 3.2-3 1 画素デバイスの設計レイアウト

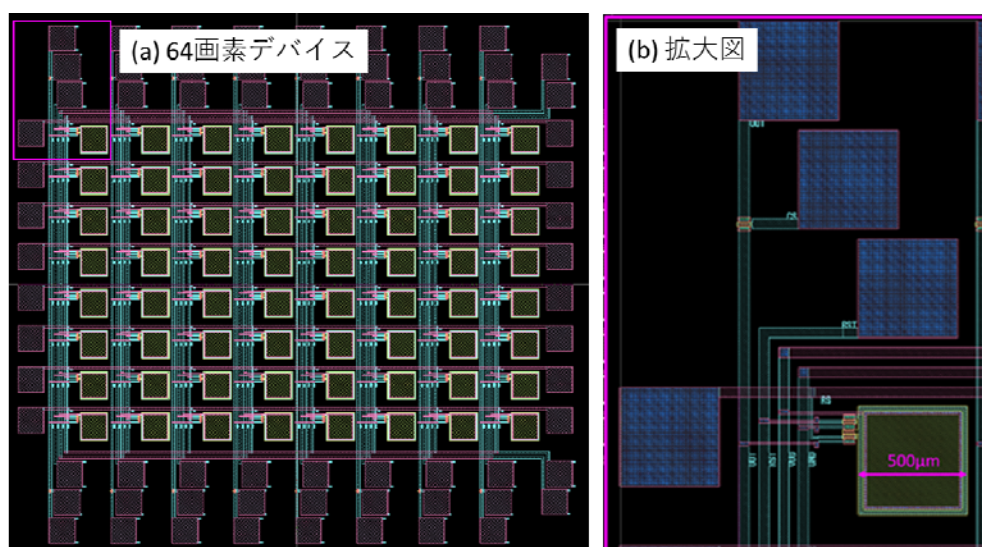


図 3.2-4 64 画素デバイスの設計レイアウト

(1) まとめ

Si フォトダイオードと 3 個の SiC nMOS トランジスタを同一半導体基板上に集積化した 1 画素イメージセンサの設計を行い、更にこのセンサをアレイ状に並べた多画素イメージセンサ設計を行った。それぞれのデバイス設計の他、信号ラインなどの多層配線も導入し、多画素イメージセンサの設計を行った。SiC 基板上に SOI 基板を貼り合わせて、支持基板・BOX 層をエッチングすることにより、SiC 基板上にフォトダイオード用の結晶 Si 層を形成することに成功した。この技術をベースに、集積化プロセスを見直し、信号ラインなどの多層配線も導入した 1 画素デバイス、多画素デバイスの設計を行った。

3.2.2 集積化プロセス技術の開発

(1) 目的

3C-SiC MOSFETs と Si フォトダイオードを同一基板上に集積するための全体プロセスの検討を行う。特にデバイスの集積化では、目標とするイメージセンサに対して、複数の集積化を行うルートがある。プロセスの容易性・制御性について検討を行い、より最適な集積化プロセスを定める。

(2) 方法

ハイブリッド型 CMOS イメージセンサのための集積化プロセス技術の開発を行った。当初は 3C-SiC 基板上に、Si 薄膜を形成し、3C-SiC MOSFETs と Si 薄膜によるフォトダイオード形成の検討を進めた。ただ 3C-SiC 基板による MOSFETs にはドナー型の結晶欠陥が多く、デバイスを駆動するには至ったものの、追加で高温イオン注入が必要となった。このためすでに安定したデバイス性能が得られている 4H-SiC 基板を用いた MOSFETs に切り替えた。またフォトダイオード形成は、SiC 基板と SOI 基板の張り合わせ技術の開発を行うことで進めた。これは Si 薄膜を形成による Si フォトダイオード形成でのプロセスステップが多く、また十分な結晶性を得られていないことから、SOI 基板の Si 結晶薄膜を用いるのが適切という判断による。

① 3C-SiC MOSFETs の研究開発

3C-SiC MOSFETs に関わり研究開発を進めたプロセス要素技術は、3C-SiC エピタキシャル基板へのゲート酸化膜形成、Nb/Ni 合金を用いたソース・ドレイン低抵抗コンタクト形成、3C-SiC 基板へのシリコン膜の形成技術、追加高温イオン注入によるチャネル部カウンタードープになる。これらを統合することで、3C-SiC MOSFETs を駆動した。

② SiC 基板と SOI 基板の貼り合わせ技術

SiC 基板への SOI 基板 (Silicon-On-Insulator) の貼り合わせ技術を構築し、これによる SiC 基板上への Si フォトダイオード形成方法を確立した。図 3.2-5 にこの方法による SiC 基板上への Si 膜形成方法を示す。

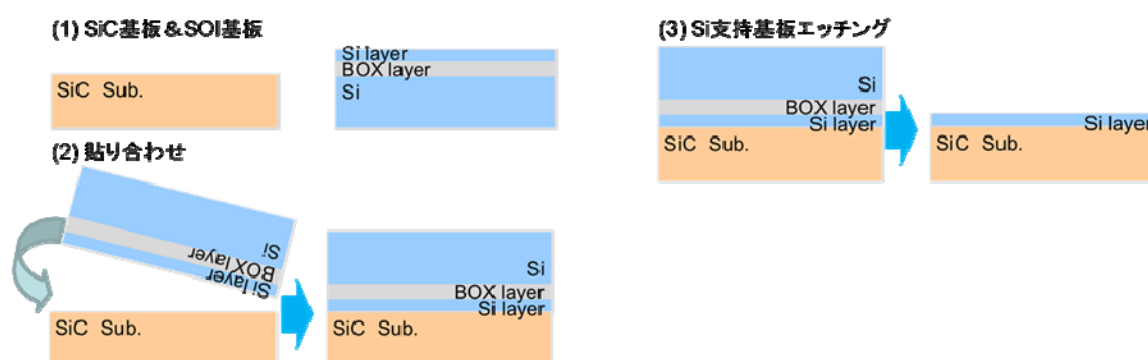


図 3.2-5 SiC 基板と SOI 基板の直接張り合わせ

③デバイスの集積化技術の構築

貼り合わせ技術を用い、各種プロセス技術を総合して、SiC 基板上に MOSFETs を形成し、さらに Si フォトダイオードを SOI 基板貼り合わせにより形成した Si 結晶膜を用いて、各デバイスを 1 つのチップに形成する技術を開発した。

④ 貼り合わせの歩留まり向上のための技術開発

SiC 基板と SOI 基板の貼り合わせにおける、歩留まり向上のための技術検討を進めた。SiC 基板の化学的機械的平坦化法 (CMP、Chemical Mechanical Planarization) を行い、表面平坦化を行うとともに、より表面平坦な SOI 基板を導入し、貼り合わせの歩留まり向上を行った。また SiC 基板にデバイス構造を形成後、基板貼り合わせを行うと、貼り合わせ面積が低下することが判明した。これを回避する技術開発を行った。

(3) 結果

① 3C-SiC MOSFETs の研究開発

【平成 28 年度】3C-SiC MOSFETs の研究においては次のように作製プロセスを行った。Si (100) 基板上に形成した 3C-SiC (100) 基板全面に $5.0 \times 10^{18} \text{ cm}^{-3}$ の条件で Al イオンを高温注入 (600°C) し、 1375°C で不純物活性化を 60 分行うことで、p 型基板化を行った。この基板上に APCVD 法により SiO_2 ダミーゲートを形成し、MOS トランジスタのソース、ドレイン領域形成のために高温イオン注入、不純物活性化を行った。その後、水素燃焼酸化 (パイロジェニック酸化) によりゲート酸化膜を 20 nm 形成した。ソース、ドレイン領域とのオーミックコンタクトに Nb/Ni シリサイドを堆積し 950°C でシリサイド化を行った後に、その上から Al 電極を形成した。図 3.2-6 (a) に作製した 3C-SiC nMOSFETs の光学顕微鏡写真を示す。図 3.2-6 (b) はドレイン電流-ドレイン電圧特性である。ドレイン電流-ゲート電圧特性より、電子電界移動度は $45 \text{ cm}^2/\text{V} \cdot \text{s}$ であり、 V_{th} は 5.8 V であった。また $10^{-13} \text{ A}/\mu\text{m}$ オーダの低リーク電流を示した。ドレイン電流-ドレイン電圧特性は適切な線形、飽和電流特性を示した。この SiC MOSFETs は量研機構でガンマ線照射され、2 MGy のガンマ線照射後も動作した。

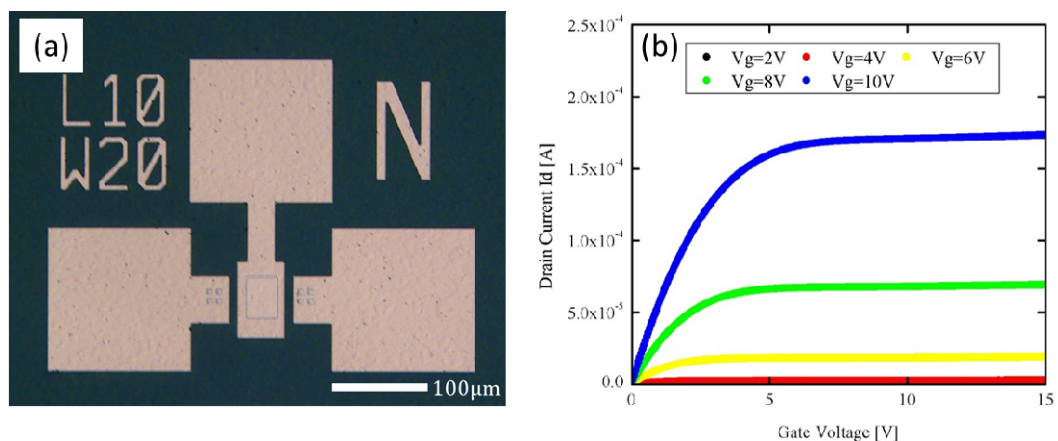


図 3.2-6 作製した 3C-SiC MOSFETs の (a) 光学顕微鏡写真と (b) 電気特性

② SiC 基板と SOI 基板の貼り合わせ技術

【平成 29 年度】 SiC 基板と SOI 基板の貼り合わせ技術においては、SiC 基板と SOI 基板を重ね合わせた後に、この接触面に希フッ酸 DHF (0.5%) を毛細管現象により導入し、24 時間の加圧によって密着に成功した。貼り合わせた基板の SOI 基板側のハンドル層となる Si を TMAH (5%) 溶液により全面エッチングを行い、BHF で SOI の BOX 層であるシリコン酸化膜の全面除去を行い、SiC 基板上にデバイス層 (膜厚 $1.5\ \mu\text{m}$) を形成した。図 3.2-7 に SiC 基板上に Si デバイス層を形成した後の断面電子線顕微鏡像を示す。



図 3.2-7 4H-SiC 基板上に Si デバイス層を形成

③ デバイスの集積化技術の構築

【平成 29 年度】 【平成 30 年度】 デバイスの集積化、すなわち SiC MOSFETs と Si フォトダイオードを一つのチップに集積化技術の構築を行った。SiC 基板においては、まずダミーゲートを SiO_2 により形成し、その後高温イオン注入によりソース・ドレイン部に不純物を導入し、P+領域を形成した。不純物としては Al を用いた。その後熱酸化により SiO_2 ゲート酸化膜を形成する。他方、SOI 基板側では、表面を熱酸化後、Si フォトダイオードの片方の電極となる P+領域を形成するための、イオン注入により不純物を導入した。不純物としてはボロンを用いた。その後、SiC 基板と SOI 基板を貼り合わせた。

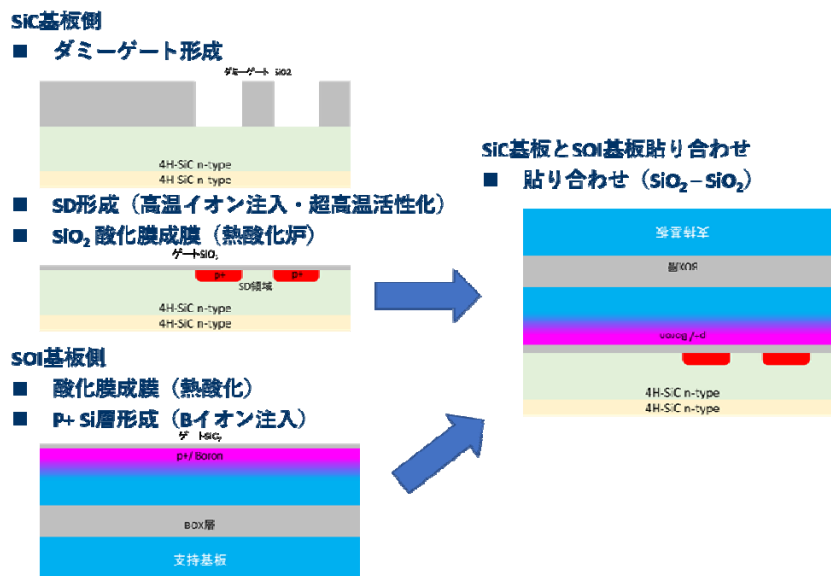


図 3.2-8 集積化プロセス (基板貼り合わせまで)

SiC 基板と SOI 基板を貼り合わせた後、SOI 基板の支持基板を TMAH 溶液によりウェットエッチングし、さらに BOX 酸化膜層をバッファードフッ酸によりウェットエッチングを行った。その後、Si 膜上部にイオン注入を行い N+層を形成した。イオン注入を行った不純物はリン(P)である。その後、不純物活性化アニールを行った。その後リソグラフィによりレジストパターン形成後、プラズマドライエッチングにより Si 膜の一部を取り除いた。2 段階でドライエッチングを行うことで、フォトダイオード部分と、SiC MOSFETs のゲート電極を同時に形成した。この後、第 1 層 Al 配線を形成し、層間絶縁膜形成し、コンタクトホール形成後、第 2 層 Al 配線を形成した。図 3.3-9 にこの集積化プロセスの後半、基板貼り合わせから完成までを示す。また図 3.3-10(a)に貼り合わせ後の写真、図 3.3-10(b)この集積化プロセスによる作製した画素デバイスチップの写真を示す。

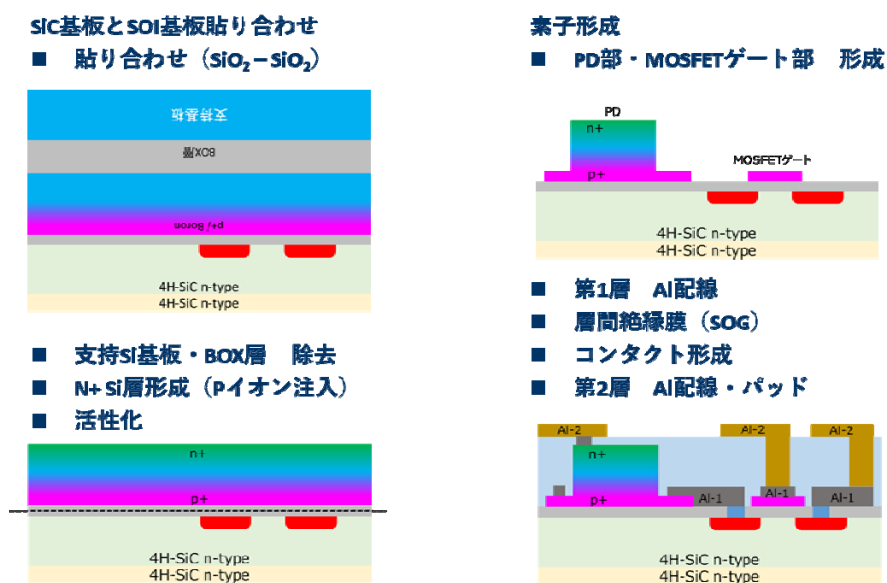


図 3.2-9 集積化プロセス（基板貼り合わせ後、完成まで）

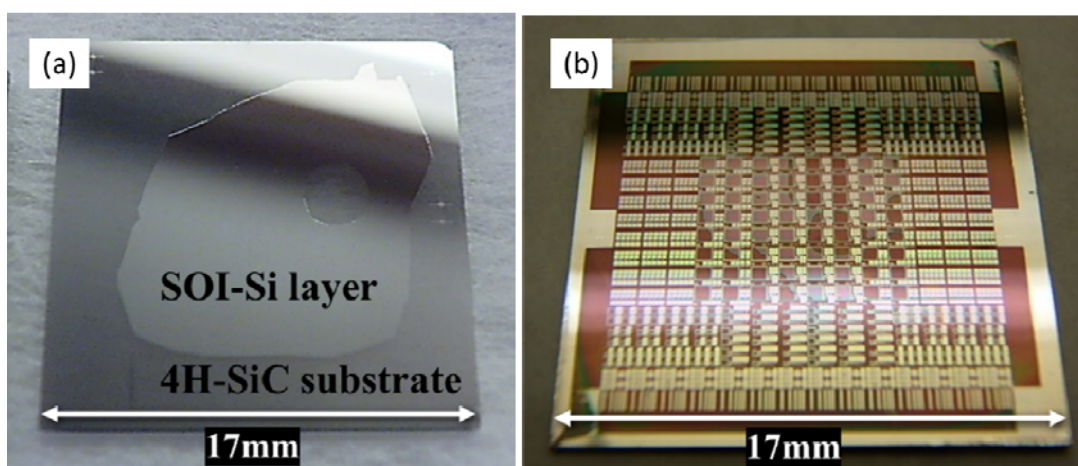


図 3.2-10(a) 基板貼り合わせ後のチップ写真、(b) デバイス集積化した画素デバイスチップ

④ 貼り合わせの歩留まり向上のための技術開発

【平成 30 年度】SiC 基板と SOI 基板を貼り合わせ技術は得られたが、貼り合わせの接着面積は図 3.2-10(a)の基板貼り合わせ後のチップ写真に示すように十分なものではなかった。また貼り合わせ面をゲート SiO₂ 膜としており、デバイス信頼性の観点からもゲート・リーク電流発生などが懸念された。これを改善するために、基板貼り合わせ面をゲート Si 電極面とし、SiC 基板上にゲート酸化膜、ゲート電極となる Poly-Si 膜を形成し、貼り合わせを行った。この貼り合わせ面の改善を図 3.2-11 に示す。また SiC 基板上に形成した Poly-Si 薄膜表面の平坦性を改善するために、化学的物理的平坦化 (CMP) を導入した。この CMP 導入により、表面平坦性は Ra=1.0 nm から Ra=0.8 nm により表面平坦化された。またより平坦性の高い SOI 基板を導入し、貼り合わせの歩留まり向上を行った。

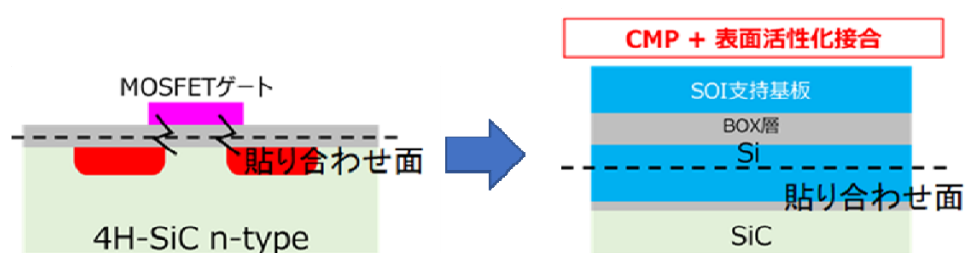


図 3.2-11 基板貼り合わせ面の改善

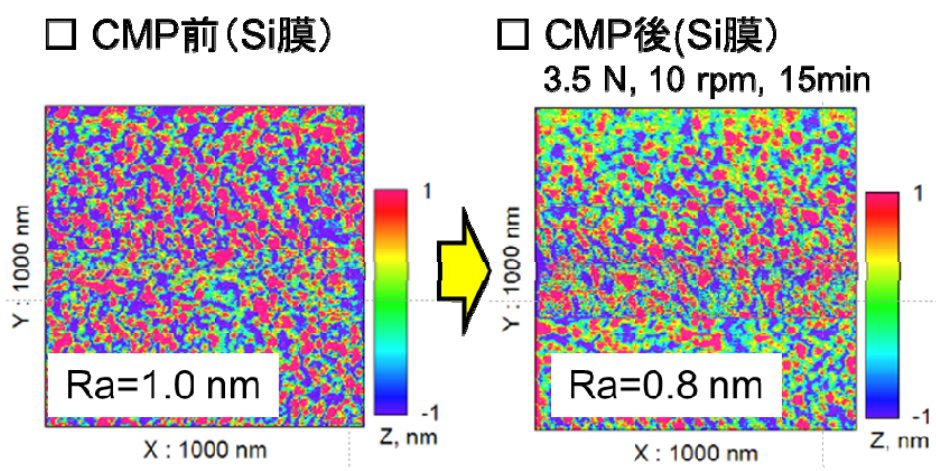


図 3.2-12 SiC 基板上に形成した Si 膜の CMP 処理

最終的に得られた SOI 基板と SiC 基板（ゲート酸化膜形成後）の表面ラフネス像とその値を図 3.2-13 に示す。SOI 基板の表面ラフネスは 0.14 nm となり、また貼り合わせ対象のゲート酸化膜形成後の SiC 基板の表面ラフネスは 0.28 nm となった。最終的には基板の犠牲酸化プロセスの導入などにより、試作プロセス中に 0.3 nm 以下の原子レベルでの基板表面平坦性を保つことに成功し、これにより異種基板貼り合わせ技術の大幅な向上を達成した。

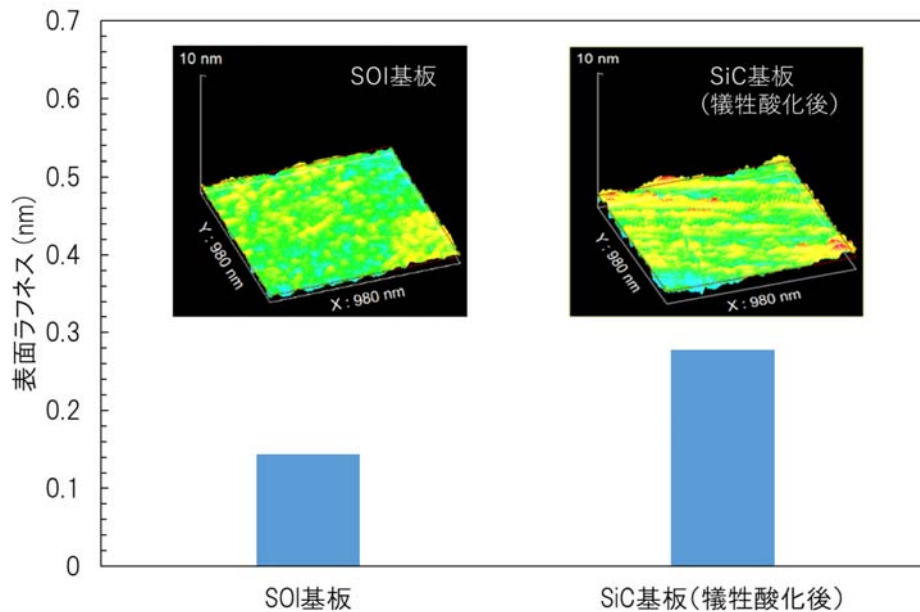


図 3.2-13 最終的に得られた SOI 基板と SiC 基板（ゲート酸化膜形成後）の表面ラフネス像とその値

(4) まとめ

要素プロセスを統合して、3C-SiC MOSFETs と Si フォトダイオードを同一基板上に集積するための全体プロセスの検討を行った。特にデバイスの集積化では、目標とするイメージセンサに対して、複数の集積化を行うルートがあった。プロセスの容易性・制御性について検討を行い、より最適な集積化プロセスを決定した。SiC 基板上への SOI 基板貼り合わせ技術の開発を進め、またこの技術を用いた SiC MOSFETs と Si フォトダイオードを同一基板上に集積するための技術開発を行った。また基板貼り合わせ面の変更により、貼り合わせ面積の改善を行った。

3.2.3 プロトタイプ試作

(1) 目的

集積化設計と集積化プロセス技術の開発を統合し、1 画素イメージセンサおよび多画素イメージセンサを作製する。イメージセンサの作製プロセスを通して、より最適な構造および集積化プロセスを確立する。

(2) 方法

集積化設計により設計した各デバイスを、本研究プロジェクトにより研究開発した集積化プロセス技術により、プロトタイプデバイスの試作を行った。プロトタイプデバイスは SiC と Si の組み合わせによりハイブリッド型画素デバイスと、SiC のみによるフル SiC UV 画素デバイスである。

①ハイブリッド型 1 画素デバイス

SiC 基板と SOI 基板の貼り合わせを行うことで、プロトタイプ試作を行った。貼り合

わせは SiC 基板、SOI 基板の両方の表面に形成した SiO₂ 酸化膜面で行った。各電極端子は、電源端子(VDD)、グランド端子(GND)、リセット端子(RST)、セレクト端子 (RS)、出力端子 (OUT) とした。

②ハイブリッド型多画素デバイス

SiC 基板にゲート酸化膜および Poly-Si ゲート電極膜を形成し、これを SOI 基板と貼り合わせを行い、ハイブリッド型多画素デバイスのプロトタイプ試作を行った。配線構造は多層配線となり、Poly-Si 層一層、Al 層 2 層からなる 3 層多層配線とした。

③フル SiC UV 画素デバイス

4H-SiC 基板は、可視光に対しては、透明であるが、紫外線 (UV 光) に対しては吸収がある。従って廃炉作業において、紫外光照明を使えば、4H-SiC 基板上に形成した、SiC UV 光フォトダイオードおよび SiC MOSFETs による画素デバイスでも、より強い放射線耐性をもちながら、イメージセンサとして使用可能となる。フル SiC UV 画素デバイスのプロトタイプ試作を行った。

④1 万画素イメージセンサ・プロトタイプ

4H-SiC 基板上に 3 個の 4H-SiC MOSFET とフォトダイオードからなる画素デバイスを縦横に 128×128 の 16,384 デバイスを配置し、多層配線により接続し、1 万画素イメージセンサ・プロトタイプ試作を行った。

(3) 結果

各プロトタイプデバイスを作製するとともに、その電気特性の評価を行った。

① ハイブリッド 1 画素デバイス

【平成 28 年度】図 3.2-14(a)に 1 画素デバイスの Al 配線形成前の光学顕微鏡写真を示す。Si フォトダイオードの横側に 4H-SiC MOSFET が 3 個形成されている。これら 4H-SiC MOSFET は上から画素選択 (RS)、ソースフォロワ (SF)、リセット (RST) 用トラン

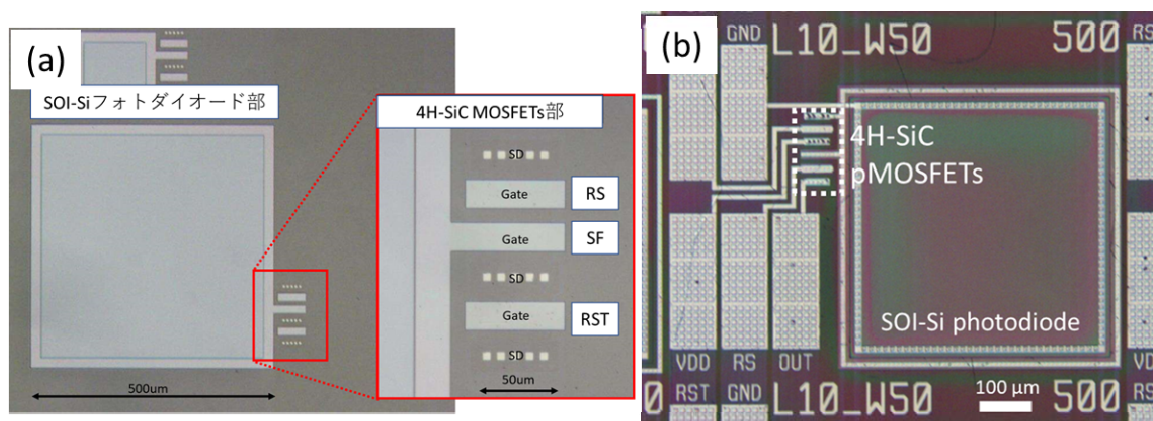


図 3.2-14 1 画素デバイス : (a)Al 配線形成前の光学顕微鏡写真、(b)完成した 1 画素デバイス

ジスタである。また図 3.2-14(b)に試作したハイブリッド1画素デバイスの光学顕微鏡写真を示す。4H-SiC MOSFETs のデバイスサイズは、チャネル長 $10\ \mu\text{m}$ 、チャネル幅 $50\ \mu\text{m}$ であり、SOI 基板貼り合わせにより形成した Si フォトダイオードは $500\ \mu\text{m}$ 角である。この Si フォトダイオードの Si 膜厚みは $1.5\ \mu\text{m}$ である。これらを Al 配線で接続している。図 3.2-15 にこのデバイスの出力特性を示す。図 3.2-15(a)にはリセット端子 (RST) に $100\ \text{Hz}$ のパルス電圧を加えたときの、出力電圧であり、光照射の有り無しで振幅が変化している。図 3.2-15(b)にはこの電圧変化率の周波数依存性を示す。周波数が大きくなるにつれて、電圧変化率が低下しているが、これは光照射による電荷取り込み時間が周波数増により短くなり、ソースフォロワ(SF)ゲート電極に集まる電荷が少なくなるためである。 $1000\ \text{Hz}$ でこの変化率が大きくなっているのは過渡的な特性のためであり、デバイスの寄生容量等によるものと考えられる。

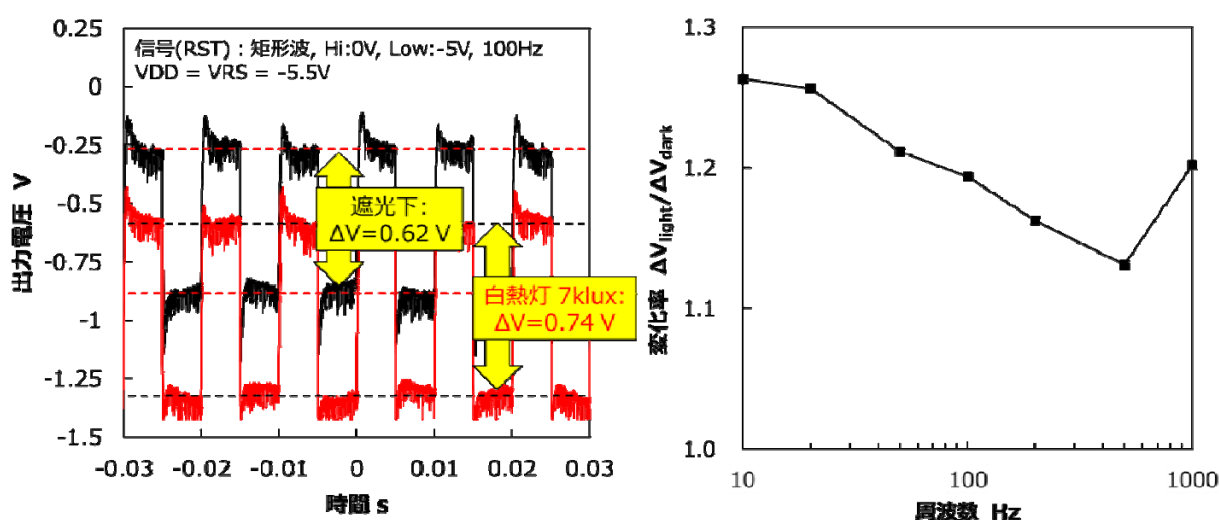


図 3.2-15 1画素デバイスの出力特性: (a) 出力特性、(b) 可視光照射前後での電圧振幅変化率の周波数依存性

②ハイブリッド型多画素デバイス

【平成 29 年度】【平成 30 年度】設計レイアウトとしては基本的には 1 画素デバイスを組み合わせ、多層配線で電極をチップ外側まで引出したものである。作製プロセス

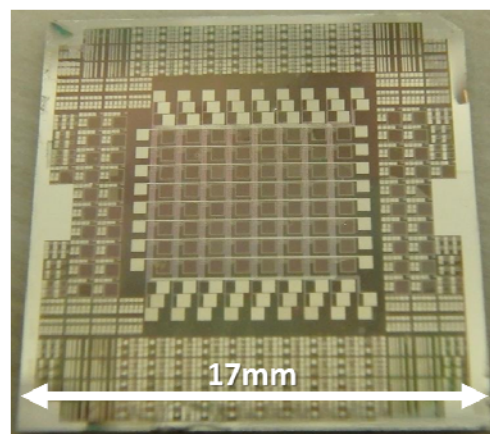


図 3.2-16 64 画素デバイスのチップ写真

においては、より貼り合わせ面積を向上させた技術を用いた。すなわち SiC 基板にゲート酸化膜および Poly-Si ゲート電極膜を形成し、これを SOI 基板と貼り合わせを行い、ハイブリッド型多画素デバイスのプロトタイプ試作を行った。図 3.2-16 に 64 画素デバイスのチップ写真を示す。チップ中央に 8×8 の 64 個の画素デバイスを配置し、またその外側に電極端子を Al 配線で引き出している（図 3.2-17）。

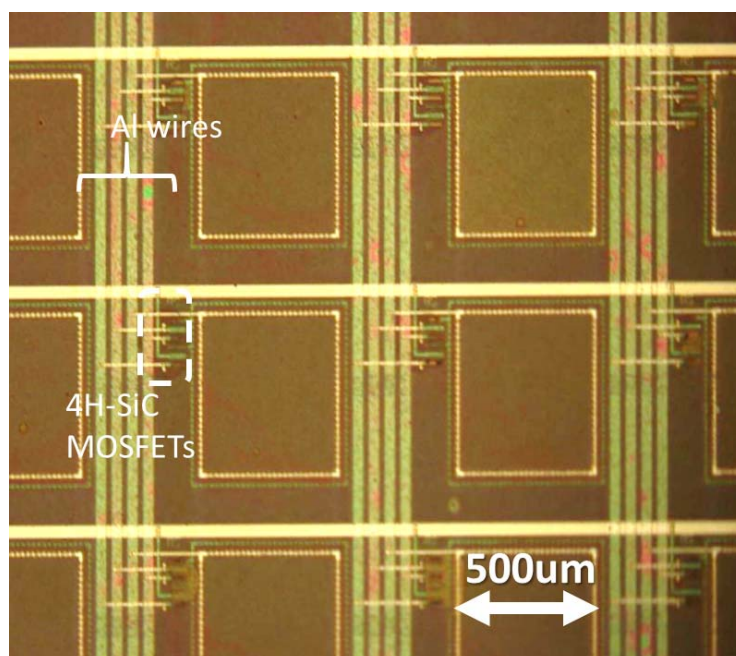


図 3.2-17 64 画素デバイスの光学顕微鏡写真

③ハイブリッド型多画素デバイス

【平成 30 年度】4H-SiC 基板上に紫外線（UV）フォトダイオードと 4H-SiC MOSFETs を形成し、これを組み合わせることで、フル SiC UV 画素デバイスのプロトタイプを作製した。図 3.2-18 にこの画素デバイスの断面図を示す。紫外光フォトダイオードは、4H-SiC エピタキシャル基板中に形成した。このためハイブリッド型画素デバイスに比べて、段差の少ない構造になっている。フォトダイオードの P+領域は 4H-SiC MOSFETs

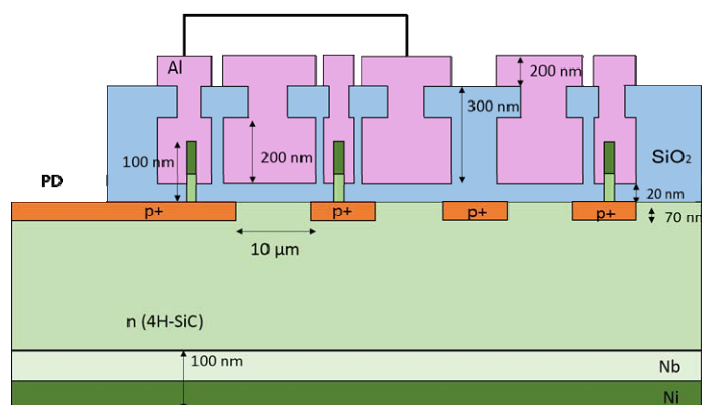


図 3.2-18 フル SiC UV 画素デバイスの断面図

のソース・ドレインと同時に形成した。図 3.2-19 にこのフォトダイオードに紫外光を照射した特に電流特性を示す。波長 365 nm、254 nm の紫外光照射を行うと、光起電力が起き、電流が流れていることが分かる。特に波長 254 nm においては、照射により大きな変化を示した。

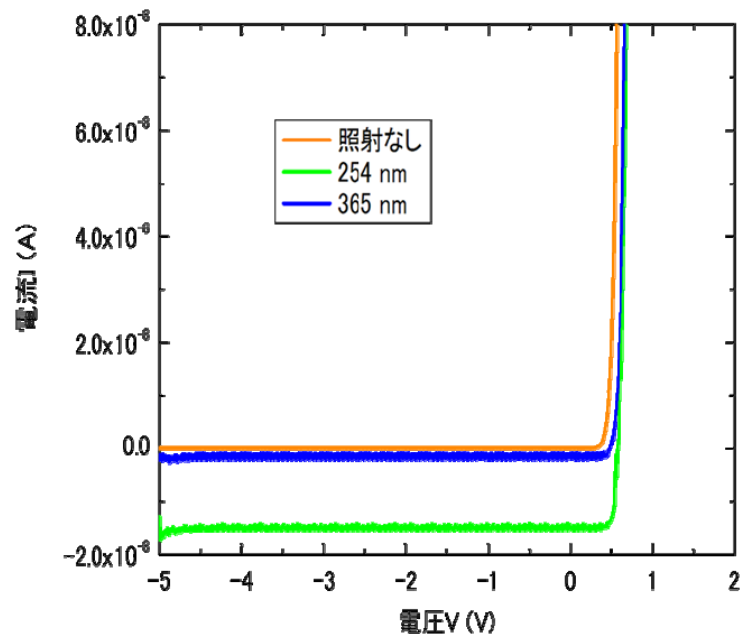


図 3.2-19 フル SiC UV 画素デバイス・UV フォトダイオードの電流・電圧特性

図 3.2-20 にフル SiC UV 画素デバイスの光学顕微鏡写真と出力特性を示す。この画素デバイスは 3 個の 4H-SiC MOSFETs と 1 個の 4H-SiC UV フォトダイオードからなる。ハイブリッド型画素デバイスでは Si フォトダイオードは SiC 基板上に形成していたため、接地のためのグランド端子があったが、4H-SiC UV フォトダイオードは 4H-SiC 基板中に直接作製しているため、基板裏面から接地をとることができ、そのためグランド端子は必要ない。図 3.2-20(b)に示すように 254 nm の紫外光照射により出力振幅が大きく変化した。これは 4H-SiC UV フォトダイオードが紫外光を吸収し、電子-ホール対を形成し、光起電力が生じたためである。これらのことから、4H-SiC UV 画素デバイスでも紫外光を用いることで、耐放射線イメージセンサとして用いることができることが分かった。

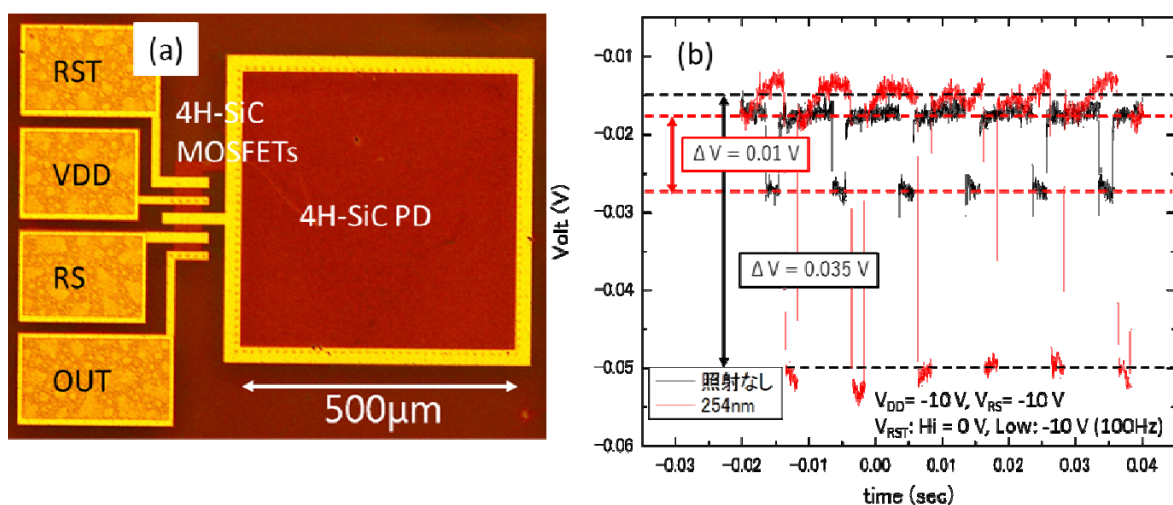


図 3.2-20 (a) フル SiC UV 画素デバイスと (b) その出力特性

④1 万画素イメージセンサ・プロトタイプ

【平成 30 年度】4H-SiC 基板上に 4H-SiC MOSFET とフォトダイオードによる画素デバイスを集積し、1 万画素イメージセンサのプロトタイプを作製した。図 3.2-21 にこのプロトタイプチップの写真を示す。図 3.2-21(a)にイメージセンサ・プロトタイプの全体写真、図 3.2-21(b)に拡大写真を示す。チップサイズは 34 mm 角であり、画素デバイス・アレイ部のみで、24 mm 角のサイズとなる。画素デバイスは縦 128 個、横 128 個の並べており、計 16,384 デバイスを配置し、多層配線により接続し、デバイス周囲に配置した電極パッドに繋がっている。図 3.2-22 (a)に 1 万画素 4H-SiC イメージセンサ・プロトタイプの画素アレイの顕微鏡写真と図 3.2-22 (b)に画素デバイス部の顕微鏡拡大写真を示す。

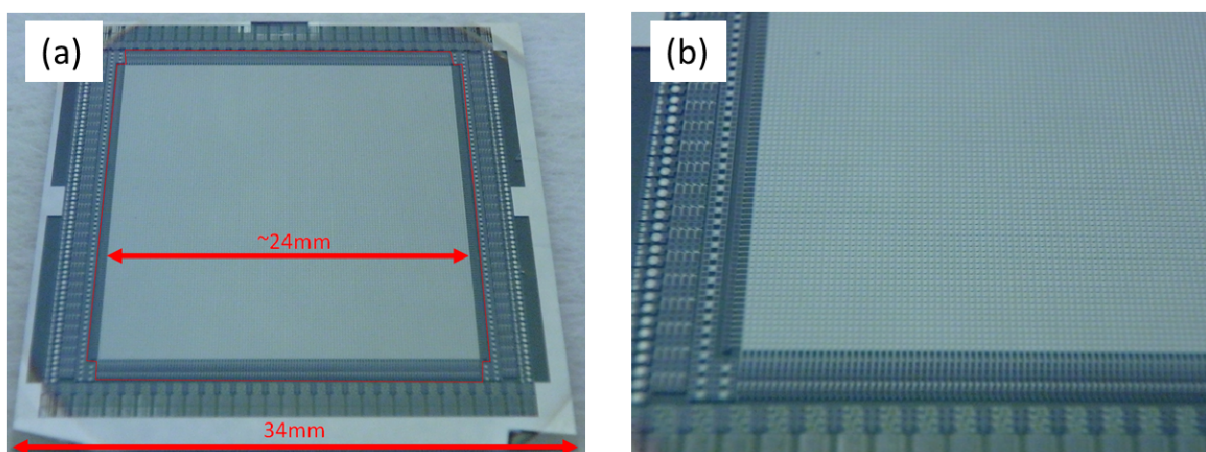


図 3.2-21 (a) 1 万画素 4H-SiC イメージセンサのプロトタイプと (b) その拡大写真.

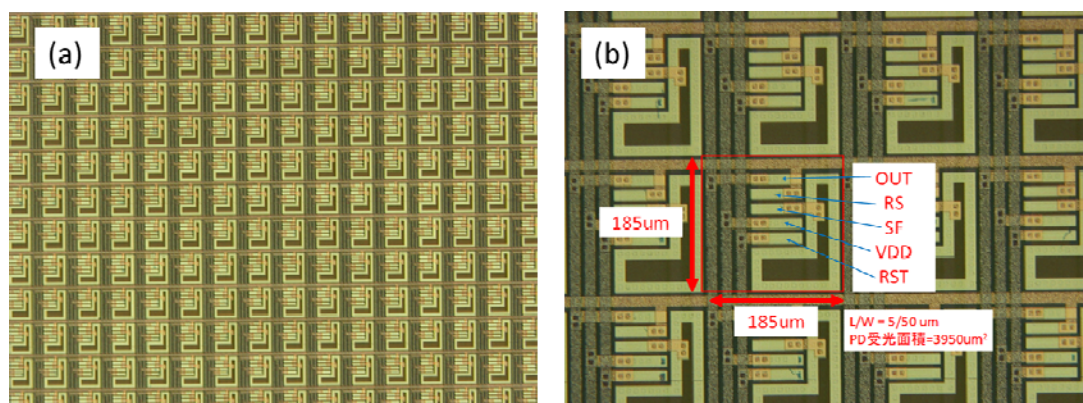


図 3.2-22 (a) 1 万画素 4H-SiC イメージセンサ・プロトタイプ画素アレイと
(b)画素デバイス部拡大写真.

(4) まとめ

集積化設計と集積化プロセス技術の開発を統合し、1 画素イメージセンサおよび多画素イメージセンサを作製し実証した。イメージセンサの作製プロセスを通して、より最適な構造および集積化プロセスを確立した。SiC による MOSFETs と SOI 基板から形成した Si フォトダイオードを組み合わせたハイブリット型画素デバイスでは、SOI-Si フォトダイオードにより可視光領域で光を受け、発生した電荷をソースフォロアトランジスタのゲート部で集め、4H-SiC MOSFETs を当して出力を行った。他方、4H-SiC のみからなるフル SiC UV 画素デバイスのプロトタイプを試作を行った。フル SiC UV 画素デバイスは 254 nm の紫外光照射に強く反応し、大きな出力特性が得られた。これらのことから可視光領域から紫外領域まで、これら画素デバイスでカバーできることを示した。最終的に 4H-SiC 基板上に 1 万画素 ($128 \times 128 = 16,384$ 画素) イメージセンサのプロトタイプを試作した。

3.2.4 周辺回路

ミックスドシグナルオシロスコープをベースとしたイメージセンサ（画素デバイス）評価システムを構築し、これを用いて評価を行った。図 3.2-23 に評価システムの写真を示す。評価システムはミックスドシグナルオシロスコープと安定電源装置、データ収集/スイッチユニットから構成される。ミックスドシグナルオシロスコープからは、パルス信号を発生させ、また測定デバイスからの出力を同時に測定する。電源電圧は安定電源装置から供給した。データ収集/スイッチユニットは複数デバイスの測定時に用いた。

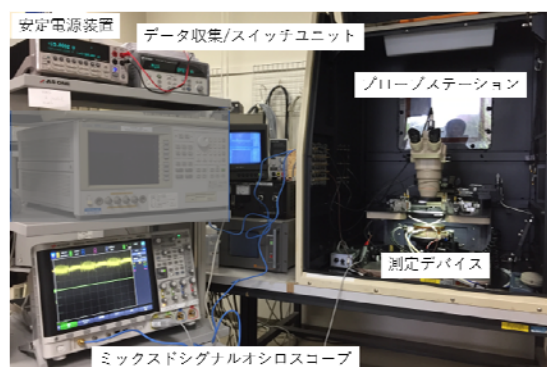


図 3.2-23 構築したイメージセンサ（画素デバイス）評価システム

3.3 イメージセンサの耐放射線性の評価と劣化機構の解明（再委託先：量研機構）

3.3.1 要素素子の放射線照射効果解明（H28～H30）

(1) 実験目的

イメージセンサを構成する各要素素子である Si フォトダイオード、SiC MOSFET、SiC JFET に乾燥不活性雰囲気中でガンマ線を照射可能な環境の構築を目指し、照射容器を作製する。更に開発した容器を用いてガンマ線を照射し、照射前後における電流-電圧特性の測定により、特性劣化に関する情報を抽出する。

(2) 実験方法

① 照射試料

試料には、広島大学または産総研で作製した Si フォトダイオードを用いた。広島大学の Si フォトダイオードは 3C-SiC 単結晶基板上に作製されており、フォトダイオードの面積はそれぞれ 39600、89100、158400 μm^2 である。一方、産総研の Si フォトダイオードは Si 単結晶基板上に作製され、受光面積は 200 および 300 μm^2 である。比較のため、市販の Si フォトダイオード（新日本無線製 NJL6402R-2）への照射も合わせて行った。市販フォトダイオードの電氣的、光学的特性の抜粋を表 3.3-1 に示す。

MOSFET（広島大学製）には、Si 基板上の 3C-SiC (100) エピタキシャル膜に作製された、n-チャネル横型 3C-SiC MOSFET を用いた。ゲート酸化膜は 1000℃ における水素燃焼酸化により作製され、膜厚は 20 nm である。照射はゲート長 $L=10\ \mu\text{m}$ 、ゲート幅 $W=20\ \mu\text{m}$ の試料に対して行った。

JFET（産総研製）には、構造の異なる二つの横型 n-チャネル JFET について照射を行った。第 1 次プロトタイプ試作品は、p 型 4H-SiC 基板上に製膜した n 型エピタキシャル層にチャネル領域が形成され、ゲート長 $36\ \mu\text{m}$ 、 $72\ \mu\text{m}$ である。第 3 次プロトタイプ試作品は、n 型 4H-SiC 基板上に製膜した n 型エピタキシャル層に、アクセプタイオン注入で p 型のベース層が形成され、その上にチャネル領域が形成されている。第 3 次プロトタイプ試作品としてゲート長 $36\ \mu\text{m}$ のそれぞれノーマリーオン、オフ型の試料に対して照射を行った。

表 3.3-1 市販 Si フォトダイオードの電氣的、光学的特性（ $T_a=25^\circ\text{C}$ ）

項目	記号	条件	最小	標準	最大	単位
暗電流	I_D	$V_R=10\ \text{V}$	—	0.1	2.0	nA
順電圧	V_F	$I_F=1\ \text{mA}$	—	—	1.0	V
ピーク感度波長	λ_p	—	—	800	—	Nm
放射感度	S	$V_R=2.5\ \text{V}$, $\lambda=780\ \text{nm}$	0.37	0.47	—	A/W
		$V_R=2.5\ \text{V}$, $\lambda=650\ \text{nm}$	0.34	0.42	—	A/W
		$V_R=2.5\ \text{V}$, $\lambda=405\ \text{nm}$	0.22	0.28	—	A/W

② 照射容器

図 3.3-1 に作製した照射容器の外観を示す。容器上部の端子は、照射中の電気特性測定も可能な端子であり、側面のバルブ付き配管はガス置換に用いる。照射の際は、容器中央の試料ステージにアルミ箔で包んだ照射試料を貼り付け、容器開口部をパッキンの付いた蓋で閉じた後、容器内を窒素またはアルゴンで置換する。置換が終了後、側面のバルブを閉じ照射を開始する。

③ ガンマ線照射

ガンマ線照射は、量子科学技術研究開発機構・高崎量子応用研究所のコバルト 60 ガンマ線照射施設にて室温で行った。線量率は ^{60}Co 源と試料との距離を変えることで調整し、Si フォトダイオード、SiC MOSFET、SiC JFET の場合 4-10 kGy/h (H_2O)、市販フォトダイオードは 4 kGy/h (SiO_2)とした。



図 3.3-1 ガンマ線照射容器の外観および照射の様子

④ 電気特性測定

ガンマ線照射前後の試料の電流-電圧特性は、半導体パラメータアナライザ (Agilent Technologies 製 4156B または 1500A)により室温、暗状態で測定を行った。Si フォトダイオードは、印加する電圧を順方向 (0→正電圧) と逆方向 (0→負電圧) に掃引して測定した。

MOSFET については、ドレイン電極にドレイン電圧 (V_D) を 0.1 V 印加してドレイン電流 (I_D)-ゲート電圧 (V_G) 特性を測定し、 I_D - V_G 特性からしきい値電圧 (V_{th}) を求めた。MOSFET および JFET に V_G およびドレイン電圧 (V_D) を印加する際は、ソース電極を基準(コモン、GND)とした。また V_G を固定して V_D を掃引するドレイン電流 (I_D)-ドレイン電圧 (V_D) 特性から、移動度を求めた。得られた V_{th} と移動度を用いて、照射により酸化膜に生成した正の固定電荷及び SiC/酸化膜界面に生成した界面準位 (電荷) 密度を算出した。

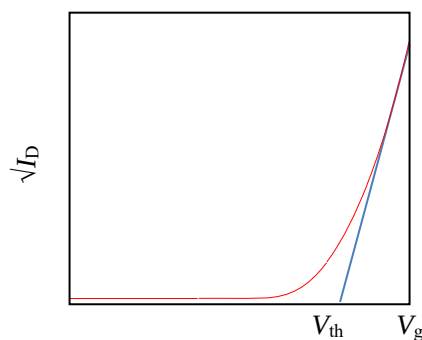


図 3.3-2. しきい値電圧の求め方

JFET については、第 1 次プロトタイプ試作品と第 3 次プロトタイプ試作品で構造が異なるため、それぞれ最適な条件で測定を行った。第 1 次プロトタイプ試作品では、ドレイン電圧 (V_D) を 3 V 印加しながら I_D - V_G 特性を調べた。第 3 次プロトタイプ試作品では V_D を 6 V とした。それぞれの試作品について I_D - V_G 特性から V_{th} と $V_G=0$ V のときの相互コンダクタンス ($g_m = \partial I_D / \partial V_G$) を求めた。MOSFET および JFET の V_{th} は、 I_D - V_G 特性から作成したドレイン電流の平方根 $\sqrt{I_D}$ - V_G プロットにおいて、 $\sqrt{I_D}$ - V_G 特性の線形領域を直線外挿した時に、 $\sqrt{I_D}=0$ となる V_G の値とした (図 3.3-2)

⑤ 分光特性測定

市販の Si フォトダイオードについて 10 kGy までの低線量域における受光感度を測定した。

(3) 実験結果、及び考察

【平成 28 年度】図 3.3-2 に市販 Si フォトダイオードの (a) 順方向 電流-電圧特性、及び (b) 逆方向 電流-電圧特性に対する照射線量依存性を示す。照射線量は 100、500 kGy、1 MGy であり、比較のため未照射特性も示した。

100 kGy 照射した試料の順方向電流-電圧特性 (図 3.3-2(a)) は、未照射の場合と比べ立ち上がり部分の電流値が増加しており、また傾きも緩くなった。これは再結合中心など、照射によってダイオード動作を阻害するリーク電流経路が形成されたことを示す。更に 1 MGy まで照射を行っても、リーク電流や曲線の傾きはほぼ変わらなかった。また逆方向の電流-電圧特性 (図 3.3-2(b)) においても、100 kGy で大きくリーク電流が増加した後は 1 MGy までで大きな違いは見られなかった。100 kGy 以降の線量の増加に対してリーク電流値がほぼ変わっていないことから、リーク電流の増加は結晶欠陥生成による p-n 接合、p または n-i 接合部の特性劣化によるものではなく、デバイス表面に形成された保護絶縁膜 (SiO_2) に電荷が蓄積したためと推察される。以上から、MGy オーダ領域における Si フォトダイオードの耐放射線性向上には、表面などフォトダイオード周辺部へのリークパス形成の抑制が重要であることがわかった。したがって Si フォトダイオードを炭化ケイ素電界効果トランジスタ (SiC MOSFET) と組み合わせイメージセンサを作製する場合、周辺部へのリークパス形成を考慮した回路設計が必要であるといえる。

次に照射初期の低線量域における分光感度を図 3.3-3 に示す。未照射の Si フォトダイオードの特性を Ref. として記した。図 3.3-3 (a) の Si フォトダイオードの受光感度は、線量の増加により特に 700 nm 以上の近赤外域で低下が大きくなっている。図 (b) は、未照射の Si フォトダイオードの受光感度を基準として、各波長における受光感度の相対量を示している。わずか 1 kGy の照射でまず 700 nm-1000 nm の近赤外域で受光感度が低下し、4 kGy では更に可視光に相当する 400 nm-700 nm の領域が低下する。10 kGy 照射では近赤外域は引き続き劣化するものの、可視光域の劣化は抑制されている。したがって Si フォトダイオードの分光特性は、照射により 700 nm 以降の近赤外域で劣化しやすいことがわかった。

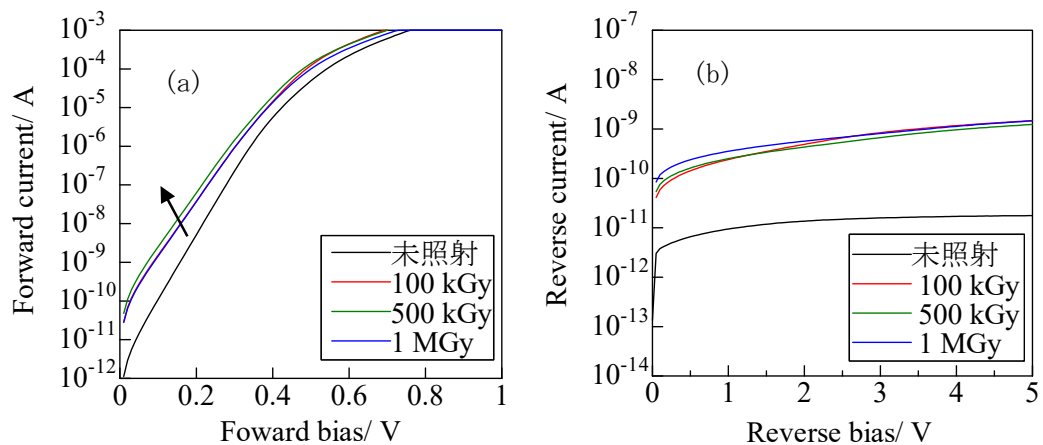


図 3.3-3 市販 Si フォトダイオードのガンマ線照射による特性変化

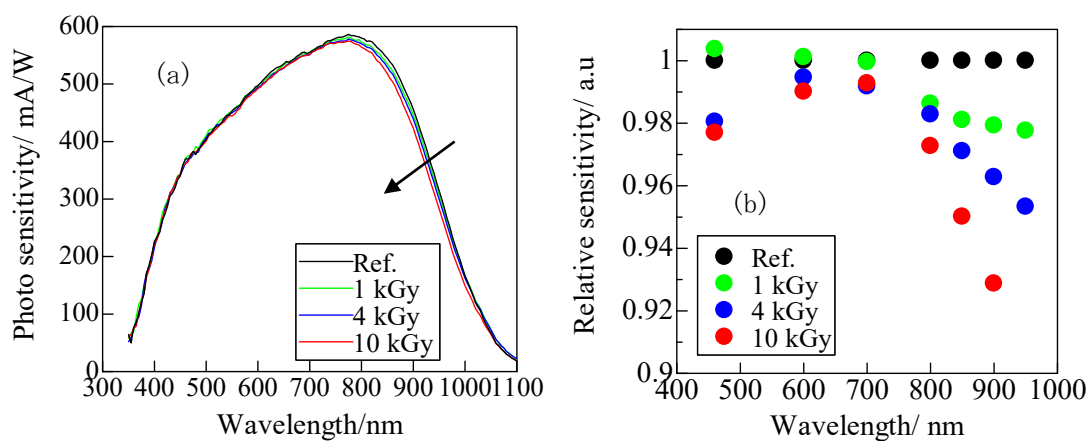


図 3.3-4 市販 Si フォトダイオードのガンマ線照射による分光特性変化

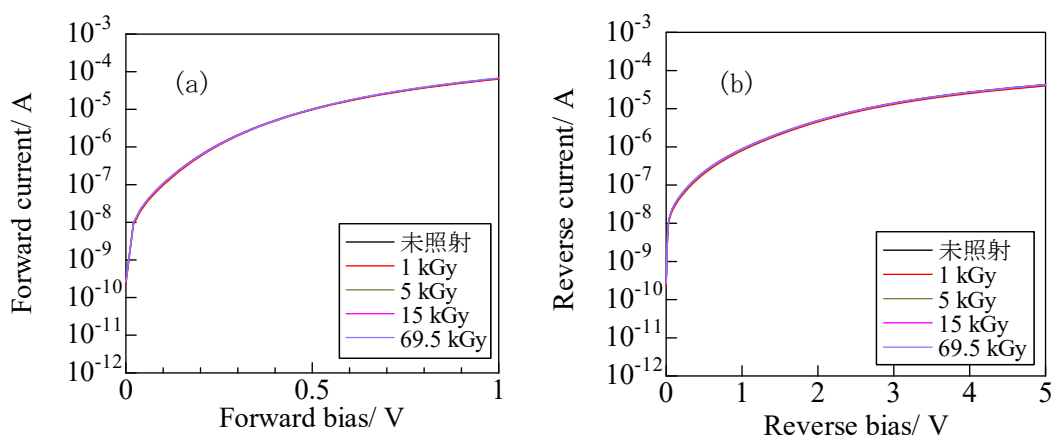


図 3.3-5 3C-SiC 基板上に作製した Si フォトダイオードのガンマ照射による特性変化 (a) 順方向 (b) 逆方向特性

【平成 29 年度】次に広島大学で作製した 3C-SiC 基板上の Si フォトダイオードに対してガンマ線照射を行い、照射前後での電気特性を測定した。図 3.3-4 に、ダイオードの面積が最も小さい $39600 \mu\text{m}^2$ のサンプルの順方向及び逆方向特性を示す。照射は 69.5 kGy まで行った。市販 Si フォトダイオードと比較してリーク電流が大きいものの、順方向電流が逆方向に比較して一桁ほど高く、ダイオード動作が確認できる。また照射後の電流－電圧特性は未照射試料とほぼ同じであり、照射による大きな劣化は見られない。逆方向特性に見られるリーク電流についてより面積の大きなサンプルと比較した結果、リーク電流とダイオード面積との間に相関は見られなかった。したがってリーク電流は、はじきだし損傷による p-n 接合、p または n-i 接合部などへの欠陥生成によるものではないと考えられる。リークパスとしては、フォトダイオードのデバイス表面の保護絶縁膜(SiO_2)や、作製した Si フォトダイオードが多結晶であることに起因した格子欠陥が考えられる。広島大学の Si フォトダイオードは、イメージセンサの作製プロセスも考慮して 3C-SiC 単結晶基板上にエピタキシャル成長で作製されているが、3C-SiC 単結晶基板の品質は 4H-SiC など既存の SiC 単結晶基板と比較して劣るため、Si 層の結晶性向上は難しい。そのためフォトダイオード中に残留した格子欠陥が主なリークパスとなっている可能性がある。

そこで Si フォトダイオード単体への照射による影響を更に詳しく調べるため、Si 基板上に作製した産総研の Si フォトダイオードについて順、逆方向特性を調べた。図 3.3-6 は、受光面積 $200 \mu\text{m}^2$ の Si フォトダイオードの順方向、逆方向特性である。図 3.3-6(a) の順方向電流は、20 kGy 照射で増加し曲線の傾きもやや緩やかになっている。しかし照射量を増やしても、40 kGy 以降は大きな変化は見られない。また 0.7 V 以降の高電流域では、未照射と照射試料の電流値はほぼ変わらない。照射により p-i-n 接合領域などバルク領域にトラップ準位が生成した場合、それが抵抗となり高電流域における曲線の傾きが緩やかになるはずだが、そうはなっていない。従って低電流域での順方向特性での曲線の傾き低下はバルク領域へのトラップ準位の生成ではなく、照射により表面の酸化膜が帯電し、p-i-n 接合領域に電荷が引き寄せられリーク経路を形成している、あるいはフォトダイオード/酸化膜に界面準位が生成し、そこがリーク経路である可能性がある。

図 3.3-6(b) の逆方向特性においても、照射量とともにリーク電流が飽和する傾向が見られ、リーク電流はフォトダイオード表面を流れると考えられる。図 3.3-5 の 3C-SiC 基板上に作製した場合と比較してリーク電流が抑えられているのは、産総研製の Si フォトダイオードが単結晶 Si 基板上に作製されており、バルク領域の良好な結晶性により、リーク経路が少ないためと考えられる（図 3.3-7(a)）。

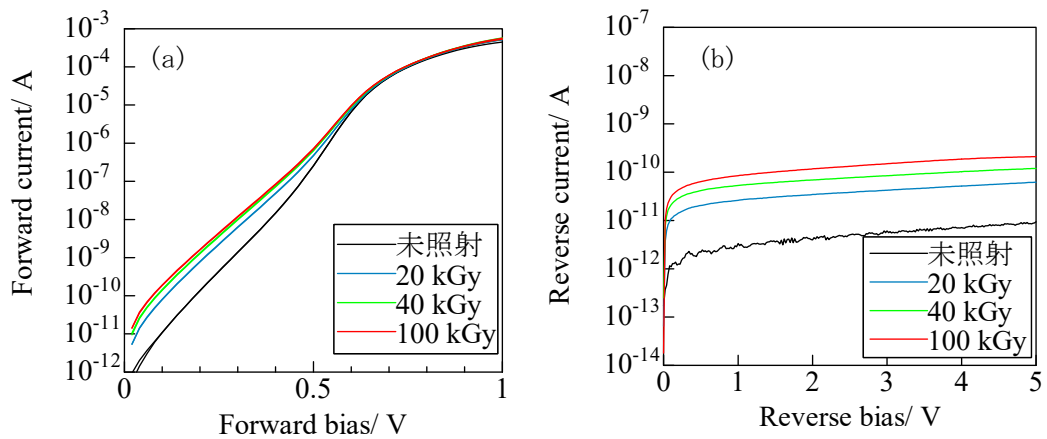


図 3.3-6 単結晶 Si 基板上に作製した Si フォトダイオードの照射による特性変化 (a) 順方向 (b) 逆方向特性 (受光面積 $200 \mu\text{m}^2$)

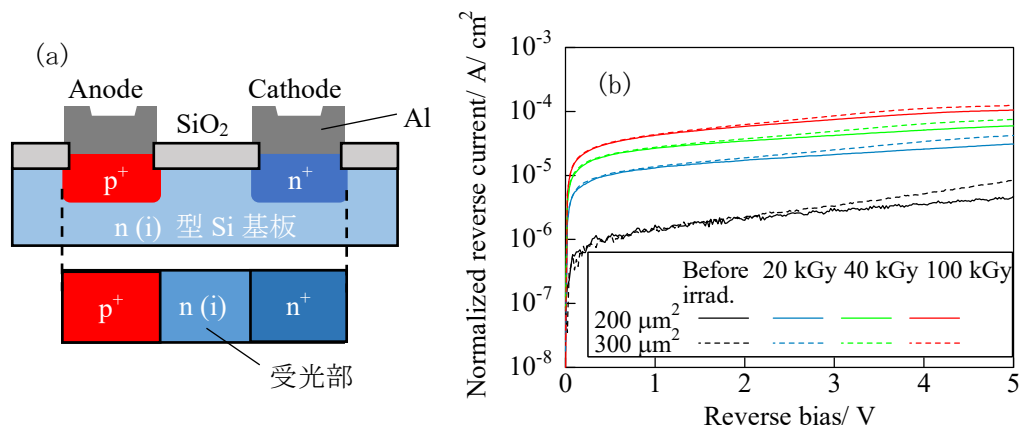


図 3.3-7 (a) Si フォトダイオードの構造 (b) 受光面積で規格化したリーク電流の照射量依存性

図 3.3-7(b) はリーク電流を Si フォトダイオードの受光面積で規格化した電流値のプロットである。規格化に用いた受光面積は、 200 および $300 \mu\text{m}^2$ である。未照射および照射サンプルのいずれの場合においても、逆方向電圧が約 2 V までは 200 および $300 \mu\text{m}^2$ の規格化電流値はほぼ等しいが、電圧を増加させると $300 \mu\text{m}^2$ の電流値がやや上回るようになり面積の違いによる影響が現れる。逆方向電圧を印加すると、受光部である i 層のフェルミ準位が低下し、フェルミ準位よりも上のエネルギー準位にトラップされていた電子が n 層側に流れ出す。空となったトラップ準位は電子と正孔の再結合中心として働き、逆方向電圧の増加により電流が増加すると考えられる。従って受光面積が大きいフォトダイオードでは、再結合中心となるトラップ準位の影響が相対的に大きくなっていると考えられる。

イメージセンサへの応用の観点からは、フォトダイオードには約 $5 \sim 10 \text{ V}$ の逆方向電圧が印加され、未照射時の出力が小さいほど感度が上がるため、できるかぎり逆方向電流の抑制が求められる。そのため、表面酸化膜の帯電欠陥生成、およびバルクのトラップ準位密度の抑制が必要である。また照射による影響は 100 kGy ままで飽和するので、プロセス最適化により、本業務目標である MGy オーダーの線領域における放射線耐性を十分、確保で

きると予想される。この実験で得られた結果を、産総研と広島大学にフィードバックした。

【平成 29 年度】次にイメージセンサの要素素子であり、Si フォトダイオードからの信号を増幅する SiC MOSFET について照射効果を調べた。ここでは広島大学が作製した 3C-SiC MOSFET にガンマ線照射を行い、電気特性を調べた。図 3.3-8 (a)に I_D - V_G 特性を示す。線量が増えるにつれリーク電流が増加し、曲線が負電圧側にシフトしている。しかし 2.01 MGy 照射後においても、ゲート電圧-5 V におけるリーク電流値は、 10^{-10} A オーダーと十分に低く、イメージセンサの要素素子として機能するといえる。図 3.3-8 (b)は、未照射試料からのしきい値電圧のシフト ΔV_{th} の、線量に対するプロットである。線量が増加すると、しきい値電圧は連続的に負電圧側にシフトし、2.01 MGy で未照射より-3.2 V 程度しきい値電圧が低下した。この負電圧シフトは、照射で酸化膜中に電子-正孔対が生成、そのうち正孔が酸化膜中の酸素欠陥などにトラップされ、正の固定電荷として振る舞うためと考えられる。一方しきい値電圧は、SiC/酸化膜界面に生成する界面準位によってもシフトする。電気特性測定時に SiC MOSFET に正のゲート電圧が印加されると、SiC 側のフェルミ準位が上昇する。フェルミ準位よりも低いエネルギー位置の界面準位に電子が流れ込むと、トラップされた電子の負の電荷によって、酸化膜中の正の固定電荷の一部が打ち消される。それによりしきい値電圧の負電圧シフトが抑制される(図 3.3-9)。図 3.3-10(a)に I_D - V_G 特性から得られた移動度の線量依存性を示す。多少のばらつきはあるが、移動度は $41\sim 45\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ の範囲にあり、照射による顕著な劣化は見られない。これまで SiC MOSFET の移動度が低下する原因としては、チャネル領域を流れる電子の界面準位によるクーロン散乱が知られている。移動度を低下させる界面準位は、主に SiC の伝導帯下端～約 0.2 eV までの浅いエネルギー位置にあるので⁽¹⁾、このサンプルでは浅い界面準位の数が少ないと推測される。得られた V_{th} と移動度から、酸化膜中に生成した固定電荷と界面準位の密度をしきい値電圧のシフトより求めた⁽²⁾。この方法では、ドレイン電流の理論式からミッドギャップ電流(I_{mg})を算出した後、実験で得られた I_D - V_G 曲線を I_{mg} まで直線外挿することで、ミッドギャップ電圧(V_{mg})を求める。ミッドギャップ電流(I_{mg})とは、酸化膜界面から離れたバルクの SiC のフェルミ準位(図 3.3-9 の E_{Fermi})が、界面のフェルミ準位と一致する際に流れるドレイン電流である。界面のフェルミ準位がバンドギャップの真ん中(ミッドギャップ)にあるということは、界面準位にトラップされた電荷がすべて放出あるいは中和された状態であり、界面は真性半導体のようにみなせる。従って外挿した I_D - V_G 曲線から I_{mg} を与える V_{mg} を求め、未照射試料からのシフト量を算出することで、界面電荷の影響を除いた、すなわち照射により酸化膜に生成した固定電荷量の評価が可能である。また V_{th} のシフト量は照射により酸化膜中に生成した正の固定電荷量と、界面準位に捕獲された電子による負電荷量の和で決まるので、(照射による)界面準位密度(の増加量)も評価できる。

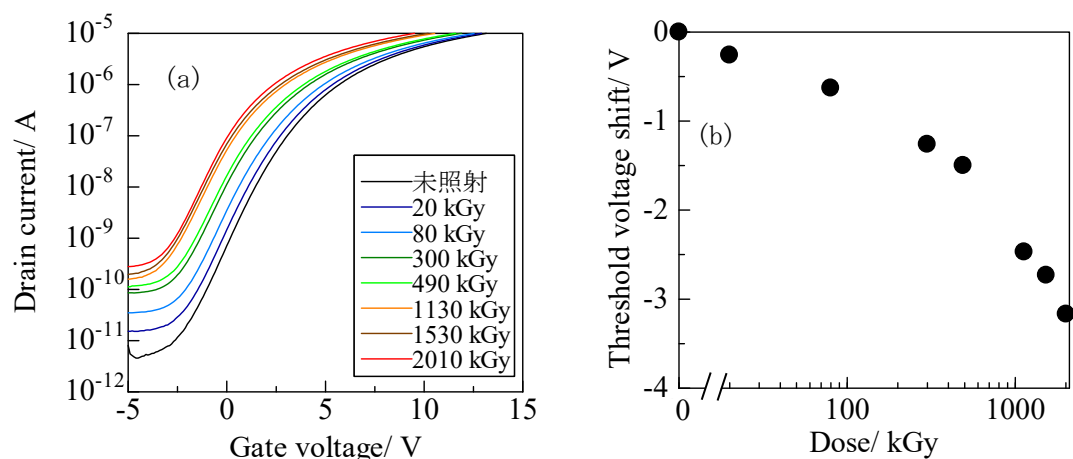


図 3.3-8 3C-SiC MOSFET のガンマ線照射による特性変化
(a) I_D - V_G 特性 (b) しきい値電圧

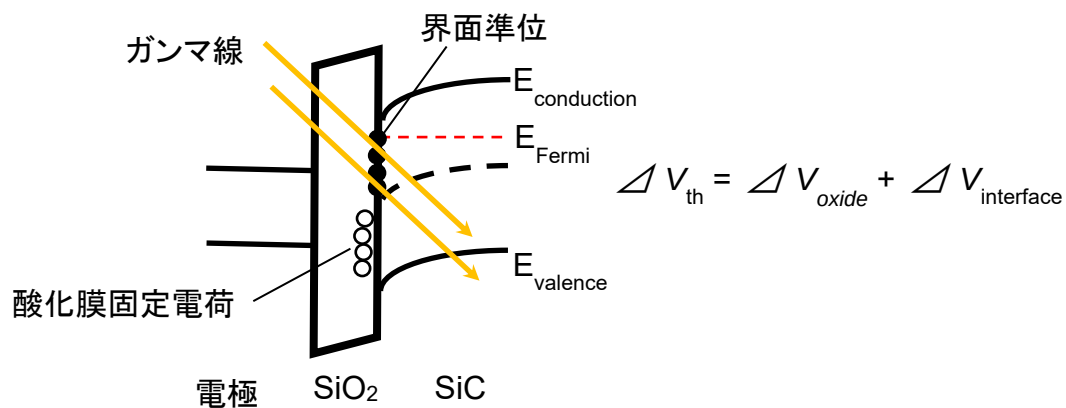


図 3.3-9 SiC-MOSFET へのガンマ線照射による電荷生成

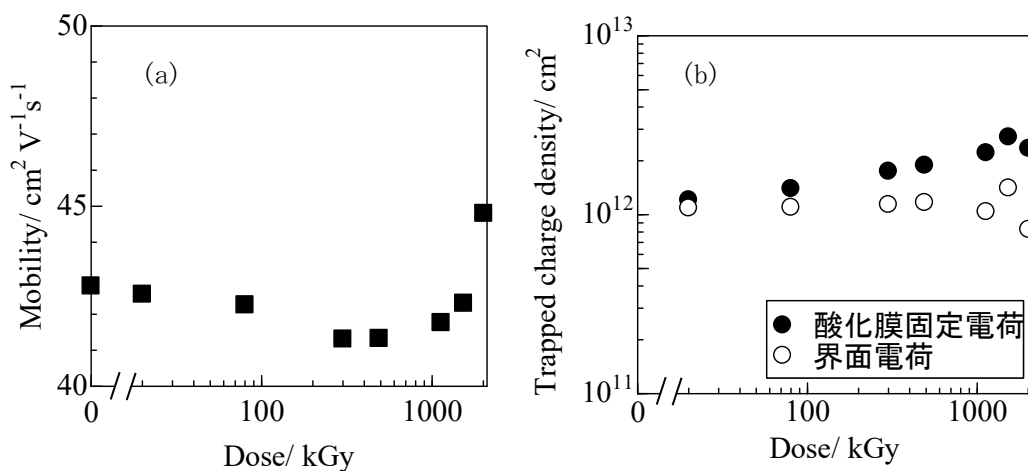


図 3.3-10 3C-SiC MOSFET のガンマ線照射による特性変化
(a) 移動度 (b) 酸化膜固定及び界面電荷

図 3.3-10(b)は、酸化膜固定電荷、及び界面準位にトラップされた電子による界面電荷密度の線量依存性である。酸化膜、界面電荷ともに照射直後に増加している。その後、界面電荷密度は 2 MGy までほぼ変わらない。SiC の伝導帯に近い、すなわち浅いエネルギー位置の界面準位は電子をクーロン散乱し移動度を低下させるが、照射による移動度の低下は起きていないため（図 3.3-10(a)）、ここで求められた界面準位は、比較的深いエネルギー位置にあると考えられる。そのためいったん電子を捕獲すると、温度やバイアス印加によるアニーリングをしない限り、捕獲された電子を放出することはない。すなわちみかけ上、負の固定電荷として振る舞い、しきい値電圧を正電圧側にシフトさせていると考えられる。SiC はバンドギャップが広いので、このような深いエネルギー位置の準位が存在できる⁽³⁾。以上より、作製した SiC MOSFET の主な放射線照射効果はしきい値電圧の負電圧シフトであり、その原因は酸化膜中に生成した正の固定電荷であることを確認した。ここで得られた結果は、広島大と共有することで今後の酸化膜形成プロセスの条件最適化に向けフィードバックした。

【平成 29 年度】最後にイメージセンサの増幅部を構成する要素素子の候補として、産総研製 JFET について照射効果を調べた。まず第 1 次プロトタイプ試作 n チャネル横型 JFET（ゲート長(W_L)それぞれ 36 および 72 μm 、ゲート幅 2.2 μm ）に対して、室温にて ^{60}Co ガンマ線（線量率 10 kGy (H_2O)/h)を照射し、ドレイン電流 (I_D)-ゲート電圧 (V_G) 特性を測定した。 I_D - V_G 特性からしきい値電圧 (V_{th})を求めた。

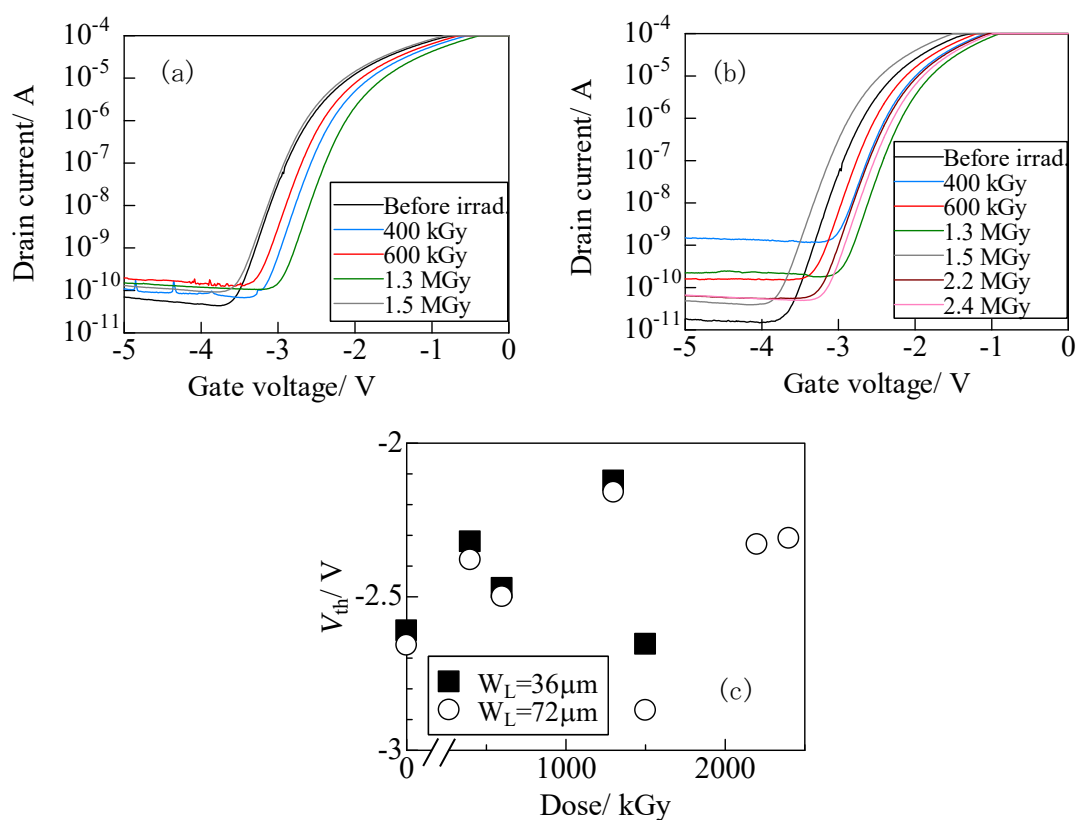


図 3.3-11 第 1 次プロトタイプ試作 JFET の照射による特性変化
(a) I_D - V_G 特性（ゲート長 36 μm ） (b) I_D - V_G 特性（同 72 μm ） (c) しきい値電圧

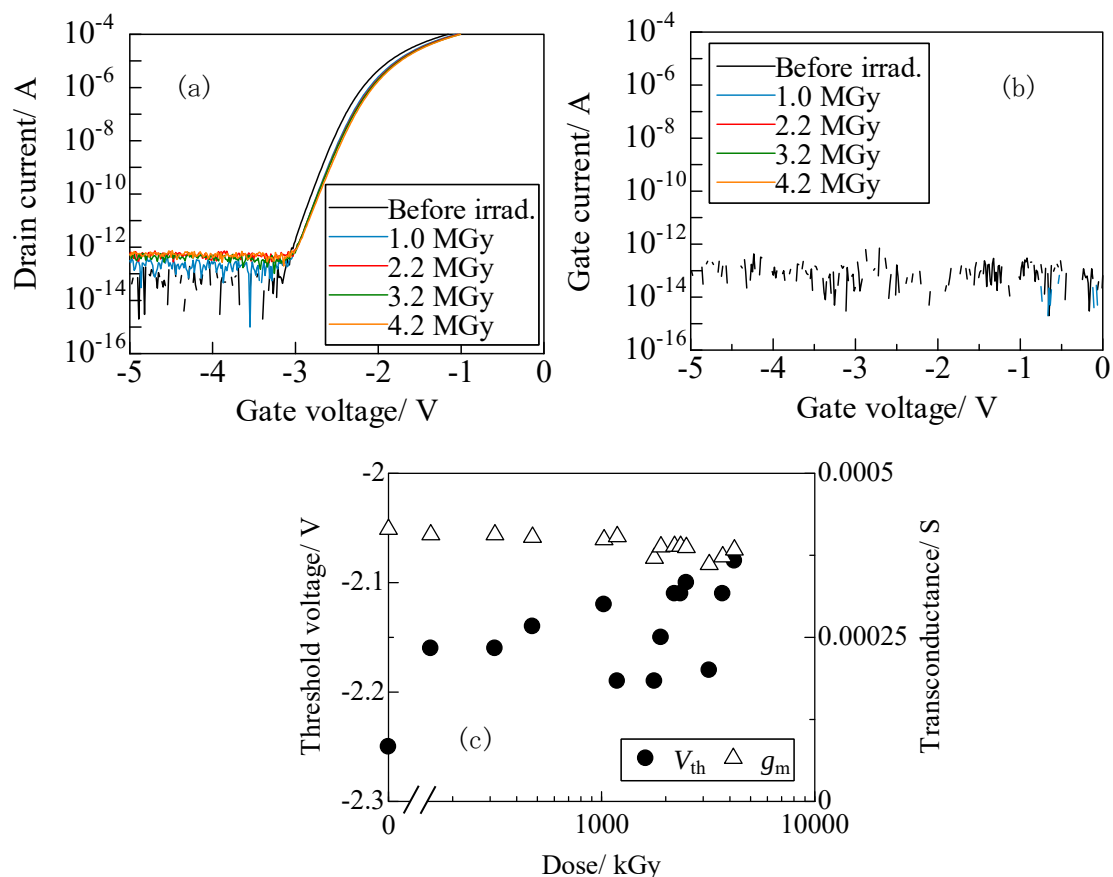


図 3.3-12 第3次プロトタイプ試作品（ノーマリーオン型）の照射による特性変化
(a) I_D - V_G 特性、(b) I_G - V_G 特性、(c) しきい値電圧、相互コンダクタンス

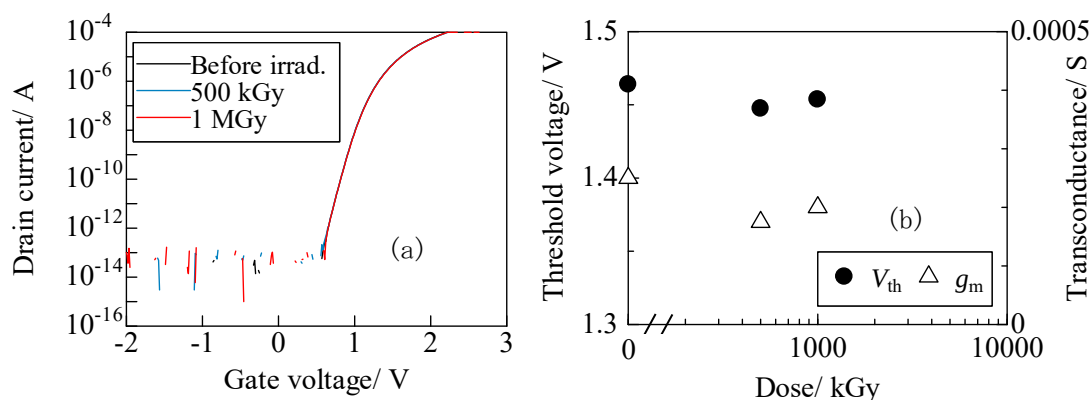


図 3.3-13 第3次プロトタイプ試作品（ノーマリーオフ型）の照射による特性変化
(a) I_D - V_G 特性、(b) しきい値電圧、相互コンダクタンス

図 3.3-11 (a), (b)に I_D - V_G 特性を示す。いずれの試料のリーク電流値も 10^{-9} - 10^{-11} A の範囲にあるが、ゲート長 $W_L=72 \mu\text{m}$ (図 1(b))のサンプルで照射によるばらつきが大きい。またゲート長が半分である $36 \mu\text{m}$ (図 1(a))のリーク電流値との間に相関がないことから、リーク電流は JFET のバルク領域ではなく、表面に沿って流れたと考えられる。図 3.3-11 (c)に、照射による V_{th} の変化を示す。いずれのサンプルでも 1.3 MGy までの照射で 0.5 V 以上増加した後、1.5 MGy で未照射とほぼ同程度の値に戻っている。さらに $W_L=72 \mu\text{m}$ では、1.5 MGy 以上の照射で再び増加している。一般的に 1 MGy 程度までの照射では、はじ

き出し損傷は無視できるため、半導体素子内部に生成した電子－正孔対が欠陥準位に捕獲されることによる素子の帯電が、劣化の原因と考えられる。その場合、素子サイズが大きい $W_L=72 \mu m$ の試料で倍近い V_{th} のシフトが見こまれる。一方、JFET と類似構造である SiC MESFET (Metal Semiconductor Field Effect Transistor, ショットキー障壁型電界効果トランジスタ) では、基板やエピタキシャル層内の欠陥準位に電荷が捕獲されることによって、電気特性が劣化する⁽⁴⁾。第 1 次プロトタイプ試作品で使用した p 型基板は品質が低いことから、もともと基板やその上のエピタキシャル層に残留していた欠陥準位に、照射で生成した電荷が捕獲・蓄積されたと考えられる。それが何らかのきっかけで放出され、1.5 MGy 付近における V_{th} の不安定な挙動を引き起こしたと推測される。

【平成 30 年度】次に第 3 次プロトタイプ試作 JFET (ノーマリーオン型) の照射結果を示す。JFET の場合、 V_{th} シフトなどの照射効果が MOSFET と比較して小さいため、照射効果の顕在化を狙い、本業務の目標線量である 2 MGy の 2 倍以上となる 4.2 MGy まで照射を行った。図 3.3-12 (a) に示す I_D - V_G 特性は 4.2 MGy 照射後も未照射とほぼ変わりなく、リーク電流 (ドレインリーク電流) も 10^{-13} オーダの低い値に抑えられている。このことは、バルク領域や表面にリーク経路がないことを示す。また図 3.3-12 (b) に示すゲート電流 (I_G)-ゲート電圧 (V_G) 特性では、ゲートリーク電流は未照射と全く変わらず、照射によりゲート領域が全く影響を受けないことがわかる。図 3.3-12 (c) に示すしきい値電圧 (V_{th}) は、照射によりわずかに増加するが、4.2 MGy 照射後の V_{th} は未照射から約 0.2 V のシフトに留まっており、第 1 次プロトタイプ試作品と比べ極めて安定している。相互コンダクタンス g_m は、その次元から JFET の抵抗値の逆数である。今、ソース抵抗を R_s 、それによる電圧降下を V_s 、チャネル抵抗である真の相互コンダクタンスを $g_{m\ ch}$ とすると、 I_D - V_G 特性から得られる見かけの相互コンダクタンス g_m は定義より次式で表される⁽⁵⁾：

$$g_m = \partial I_D / \partial V_G = \partial I_D / \partial (V_G^{eff} + V_s) = g_{m\ ch} / (1 + R_s g_{m\ ch})$$

この式より照射による g_m の緩やかな減少は、チャネルやソース抵抗が徐々に増加したことを示す。その原因としては中性子やイオン照射に比べれば極めて少ないが、はじき出し損傷によるチャネルへのトラップ準位生成や、ソース電極と n+領域の接触部への欠陥生成などによる、抵抗増加が考えられる。詳細についてはさらにゲート長、幅の異なる試作品に照射を行い、検討が必要である。

【平成 30 年度】最後に第 3 次プロトタイプ試作 JFET (ノーマリーオフ型) について照射による電気特性変化を調べた。ノーマリーオン型への照射により、第 3 次プロトタイプ試作品の照射効果はわずかな V_{th} の増加と g_m の減少であることが明らかになったため、放射線耐性は 1 MGy までの照射で確認できると判断した。図に I_D - V_G 特性、 V_{th} 、 g_m の照射による変化を示す。 I_D - V_G 特性は 1 MGy 照射後も未照射とほぼ変わらない。またリーク電流も増加しておらず、ノーマリーオフが保たれている。図は載せていないが、ゲートリーク電流 (I_G) も未照射試料とほぼ変わらず、ゲート領域も健全であった。図(b)の V_{th} および g_m についても、全く顕著な変化は見られない。以上から、第 3 次プロトタイプ試作 JFET はノーマリーオフ型でも高いガンマ線耐性を有することが明らかになった。

(4) まとめ

耐放射線性の評価と劣化機構の解明に向け、イメージセンサを構成する要素素子の放射線照射効果の解明を試みた。乾燥不活性雰囲気中でガンマ線を照射可能な照射容器を作製し、要素素子にガンマ線照射を行った。イメージセンサの受光部である Si フォトダイオードでは、照射により順方向、逆方向特性いずれにおいてもリーク電流が増加した。リーク電流の増加は結晶欠陥などトラップ準位の生成による p-i-n 接合部の劣化ではなく、ガンマ線照射によってデバイス表面の保護酸化膜中に蓄積した電荷に起因すると考えられる。

イメージセンサの信号増幅部である MOSFET では、照射によるリーク電流の増加と約 3 V のしきい値電圧の負電圧シフトが見られた。電気特性から算出したゲート酸化膜中の正の固定電荷密度は、照射量とともに増加したが、界面電荷密度はほぼ変わらなかった。このことからしきい値電圧 (V_{th}) の負電圧シフトは、ゲート酸化膜への正の固定電荷生成により引き起こされることを明らかにした。

信号増幅部を構成する要素素子のもう一方の候補である、JFET にも照射を行った。アクセプタイオン注入を用いてチャネル領域を形成した構造では、業務目標値である 2 MGy の 2 倍以上となる 4.2 MGy の照射後も、 V_{th} の変動が未照射から 0.2 V 程度に抑えられ、高い耐放射線性を有することが判明した。

参考文献

- (1) H. Yoshioka, J. Senzaki, A. Shimozato, Y. Tanaka and H. Okumura, “Effects of interface state density on 4H-SiC n-channel field-effect mobility,” Appl. Phys. Lett., vol.104, pp. 083516-1-4 (2014).
- (2) P. J. McWhorter and P. S. Winokur, “Simple technique for separating the effects of interface traps and trapped-oxide charge in metal-oxide-semiconductor transistors,” Appl. Phys. Lett., vol.48, pp.133-135 (1986).
- (3) H. Yano, N. Kanafuji, A. Osawa, T. Hatayama and T. Fuyuki, “Threshold Voltage Instability in 4H-SiC MOSFETs With Phosphorus-Doped and Nitrided Gate Oxides,” IEEE Trans. Electron Devices., vol. 62, pp. 324-332 (2015).
- (4) N. Sghaier, J. M. Bluet, A. Souifi, G. Guillot, E. Morvan and C. Brylinski, “Influence of Semi-Insulating Substrate Purity on the Output Characteristics of 4H-SiC MESFETs”, Materials Science Forum, 389-393. pp.1363-1366 (2002).
- (5) 浜口智尋、谷口研二、“半導体デバイスの物理”、朝倉書店、pp.120.

3.3.2 単一画素素子の放射線照射試験 (H29~H30)

(1) 実験目的

単一画素素子へのガンマ線照射効果を検証し、複数画素の耐放射線性向上に有益と

なる情報を得る。

(2) 実験方法

① 照射試料

試料には広島大学で作製した**単一画素素子**を用いた。最初に、信号増幅部を構成する 4H-SiC MOSFET と Si フォトダイオードを貼りあわせた構造の素子に対して、ガンマ線を照射し、光を照射しない暗状態での応答特性を調べた。SiC MOSFET に印加するドレイン電圧(V_{DD})、およびリセット(RST)トランジスタに印加するゲート電圧は、広島大学での測定条件と同一とした。RST トランジスタの駆動周波数は 100 Hz である。次に 4H-SiC MOSFET と 4H-SiC フォトダイオードの、すべて SiC から成る**単一画素素子**について照射を行った。フォトダイオードに用いた 4H-SiC のバンドギャップは Si のほぼ 3 倍 (3.2eV) であり紫外光の波長に相当するため、応答特性は暗状態と 254nm の紫外蛍光灯を点灯した状態の二つについて調べた。

(3) 実験結果、及び考察

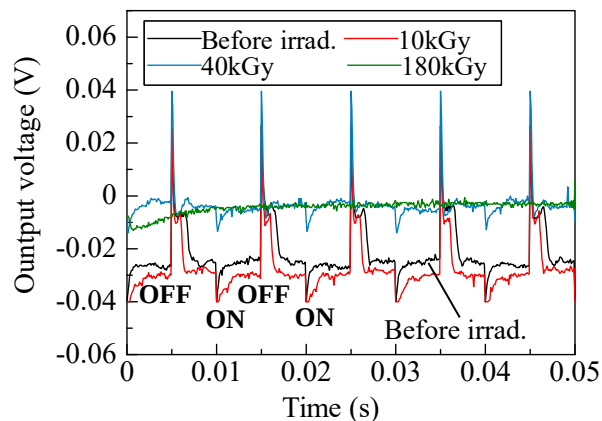


図 3.3-14 単一画素素子 (Si フォトダイオード+SiC MOSFET) の応答特性

【平成 29 年度】図 3.3-14 に Si フォトダイオードを 4H-SiC MOSFET に貼り合わせて作製した単一画素素子の応答特性を示す。未照射試料の 100 Hz 駆動時の応答特性に着目すると、RST トランジスタのゲートが閉じる(図中 OFF)と同時に鋭いノイズピークが発生し、その後 RST トランジスタが閉じられているにもかかわらず、出力電圧が約-0.01 V から-0.03 V まで低下している。RST トランジスタのゲートを開けると(図中 ON)出力電圧が-0.04 V まで一時的に低下している。これはフォトダイオードに残っていた電荷が排出されたと見ることもできるが、ノイズ成分である可能性が高い。40 kGy では、出力電圧のベースラインが上昇し、OFF 時の出力が全く見えなくなった。一方で ON 時には 100 Hz 間隔でピークが現れており、RST トランジスタは正常に動作していると推測される。180 kGy では出力電圧が全く得られなくなり、これはフォトダイオードとトランジスタの電氣的接触がなくなったことを示唆する。以上の結果から、少なくとも 40 kGy までは信号増幅部であるトランジスタは動作しているが、Si フォトダイオード

との貼りあわせ部のプロセス上の問題により、特性が劣化したと考えられる。この結果は作製プロセスにフィードバックした。

そこで貼りあわせ構造による影響を排除し、信号増幅部であるトランジスタのみの照射効果を調べるため、フォトダイオードも含め全てが 4H-SiC で構成される単一画素素子に照射を行った。

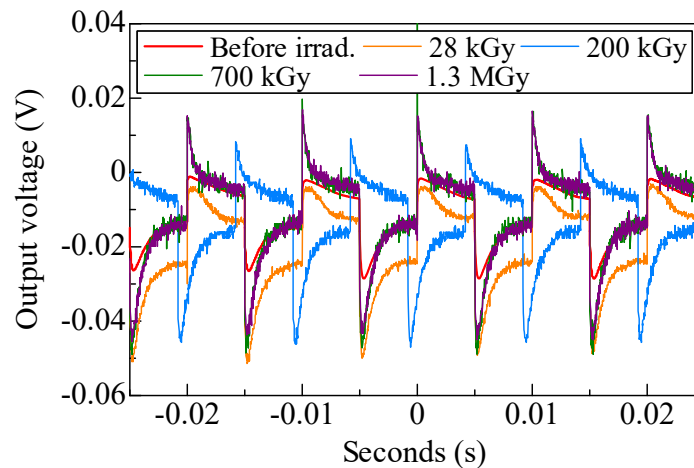


図 3.3-15 単一画素素子 (SiC フォトダイオード+SiC MOSFET) の応答特性

図 3.3-15 は暗状態における特性の照射量による変化である。貼りあわせ構造の素子と異なり、1.3 MGy 照射後も素子は動作している。未照射 (図中、赤線) の ON 時の波形は、応答の遅い成分の影響でややなまっているが、全体的にノイズの少ない矩形波となっている。遅い成分としてはトランジスタのゲート酸化膜などの寄生容量や、このトランジスタが p チャネル型であるため、キャリアである正孔のチャネル移動度が低いことが推測される。28 kGy (オレンジ) では ON 時のピークが鋭くなっており、これは寄生容量成分の低減とノイズ発生の方の影響と考えられる。200 kGy では、ON 時の波形は変わらないが、OFF 時の立ち上がりノイズ成分が大きくなっている。700 kGy 以降はこのノイズピークがさらに大きくなるものの、全体の特性は 1.3 MGy と変わらなくなった。ON-OFF 時の出力電圧差は、未照射と照射済み試料のいずれも約 10 mV であり、フォトダイオードの劣化およびフォトダイオード-トランジスタの電氣的接触、トランジスタのしきい値シフトなどによる影響は見られない。Si イメージセンサの場合、フォトダイオードを含めた素子構造の工夫により耐放射線性強化が試みられるが⁽¹⁾、今回試作した SiC 単一画素素子は、一般的な構造のフォトダイオードとトランジスタで構成されている。ノイズを除いて考えれば応答特性に著しい劣化は見られず、SiC が持つ高い耐放射線性によるものと言える。

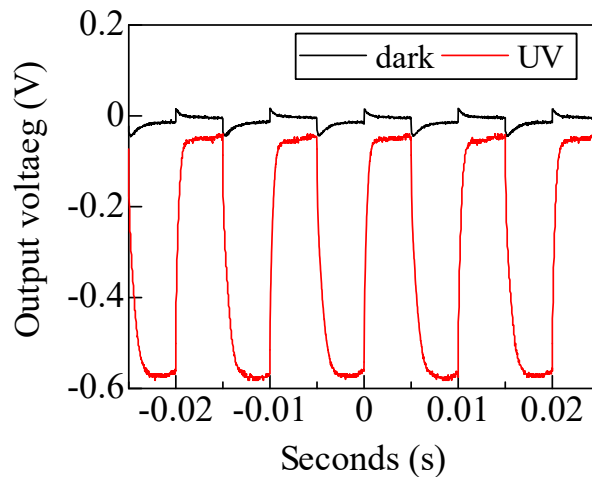


図 3.3-16 1.3 MGy 照射後の単一画素素子 (SiC フォトダイオード+SiC MOSFET) の紫外光照射時の応答特性

図 3.3-16 は、1.3 MGy 照射後の紫外光(波長 254nm)照射時の単一画素素子の応答特性である。ON-OFF 時の出力電圧差は約 0.5 V であり、やや立ち上がり・立下りが遅いものの、紫外光に対してよく応答している。3.3.1 で示したように Si イメージセンサの場合、10 kGy の照射でも青～紫外域の分光特性が劣化するので、この素子は Si イメージセンサで感度劣化が著しい、短波長域を補完する素子としても有用と考えられる。

(4) まとめ

単一画素素子へのガンマ線照射効果を検証し、複数画素の耐放射線性向上に有益となる情報を得た。Si フォトダイオードと SiC トランジスタの貼り合わせ構造の素子への照射では、180 kGy までの照射で素子が動作しなくなり、これは貼り合わせ部の劣化が原因と推測された。一方、フォトダイオードとトランジスタの両者が SiC で構成された素子では、ノイズ成分はあるものの、1.3 MGy 照射後の応答特性は未照射と大きな変化はなく、素子がほぼ正常に動作することを確認した。このことは信号増幅部であるトランジスタの照射によるしきい値電圧変化が、素子の応答特性にほぼ影響しないことを示す。さらに受光部であるフォトダイオードを SiC で構成した場合、MGy オーダの線領域で耐放射線性を担保できることが示唆された。以上から複数画素の耐放射線性向上には、貼り合わせ構造のプロセス最適化が鍵であることを明らかにし、複数画素素子設計へフィードバックした。

参考文献

- (1) V. Goiffon, F. Corbier, S. Rolando, M. Estribeau, P. Magnan, B. Avon, J. Baer, M. Gaillardin, R. Molina, P. Paillet, S. Girard, A. Chabane, P. Cervantes and C. Marcandella, “Multi-MGy Radiation Hard CMOS Image Sensor: Design, Characterization and X/Gamma Rays Total Ionizing Dose Tests,” IEEE Trans. Nucl. Sci., VOL. 62, NO. 6, pp. 2956-2964 (2015).

3.3.3 複数画素素子の 2 MGy 耐性の実証

(1) 実験目的

複数画素を有するプロトタイプ耐放射線性イメージセンサへの放射線照射を行い、2MGy までの耐性を評価・実証することを目的とする。

(2) 実験方法

試料には広島大学で作製した複数画素（64 画素）素子を用いた。信号増幅部を構成する 4H-SiC MOSFET と受光部の Si フォトダイオードを貼り合わせた構造の素子に対してガンマ線を照射し、光を照射しない暗状態の応答特性を調べた。増幅部の SiC MOSFET に印加するドレイン電圧 (V_{DD}) は広島大学での測定条件と同じ 6V とし、RST トランジスタの駆動周波数は 100Hz とした。測定は 64 画素からランダムに抽出した 6 つの画素について行い、ガンマ線耐性を評価した。

(3) 実験結果、及び考察

図 3.3-17(a), (b) に、代表的な二つの画素（サンプル 1、2）の応答特性を示す。この他の画素についても、サンプル 1、2 いずれかと同様の特性が得られた。いずれのサンプルでもノイズが見られるものの、RST トランジスタの ON/OFF によりきれいな矩形波応答が得られた。これは要素素子である Si フォトダイオードと SiC MOSFET 貼り合わせ部の電氣的接触が良好であり、フォトダイオードに溜まった電荷が RST トランジスタの ON/OFF に伴い、スムーズに増幅部の SiC MOSFET に受け渡されていることを示す。図 3.3-14 で試作した 1 画素素子ではわずか 180 kGy の照射で応答しなくなったことを考慮すると、試作した複数画素素子では、貼り合わせ部の電氣的接触が大幅に改善されていることが確認できた。照射量を増やしていくと 1500 kGy までは各々のサンプルで著しい変化はないが、2.2 MGy 照射後に、サンプル 2 の電圧値が全体として約 1 V 負電圧側にシフトした。この理由としては、増幅部やその下段の MOSFET の特性劣化による電圧降下、リーク電流の発生などが考えられるが、引き続き詳細な検討が必要である。

図 3.3-18(a), (b) に出力電圧の照射量に対するプロットを示す。出力電圧は、図 3.3-17(a), (b) の矩形波のピーク to ピーク値とした。サンプル 1 では 2.2 MGy 照射後も未照射と比べて大きな変化は見られなかった。一方、サンプル 2 では、2.2 MGy 照射時における出力電圧が 1.5 MGy の 2 倍となる約 0.6 V まで大幅に増加した。しかし各画素で照射によるばらつきはあるものの、2 MGy 照射後においても動作不良を起こすまでには至らないことから、試作した 64 画素素子は 2 MGy までのガンマ線耐性を有するといえる。

(4) まとめ

Si フォトダイオードと SiC MOSFET を貼り合わせた構造の複数画素(64 画素)素子に対してガンマ線を照射し、放射線照射による影響を評価した。1 画素素子では著しい特性劣化が見られた 100 kGy 以上の線量域においても、目立った特性劣化は見られなかった。これはフォトダイオードと SiC MOSFET の貼り合わせが改善され、電氣的な接続が良好であるためと考えられる。既に 3.3.1 において要素素子である Si フォトダイオードおよび SiC MOSFET が 2 MGy 照射後も正常に動作すること、また 3.3.2 において SiC

MOSFET で構成される信号増幅部が MGy 照射後も正常に動作することと合わせると、試作した複数画素素子は 2 MGy まで動作すると予想されたが、実際の試験によりそれを確認した。以上から産総研・広島大学それぞれで開発した複数画素を有するプロトタイプ耐放射線性イメージセンサへの放射線照射を行い、2 MGy までの耐性を評価・実証した。

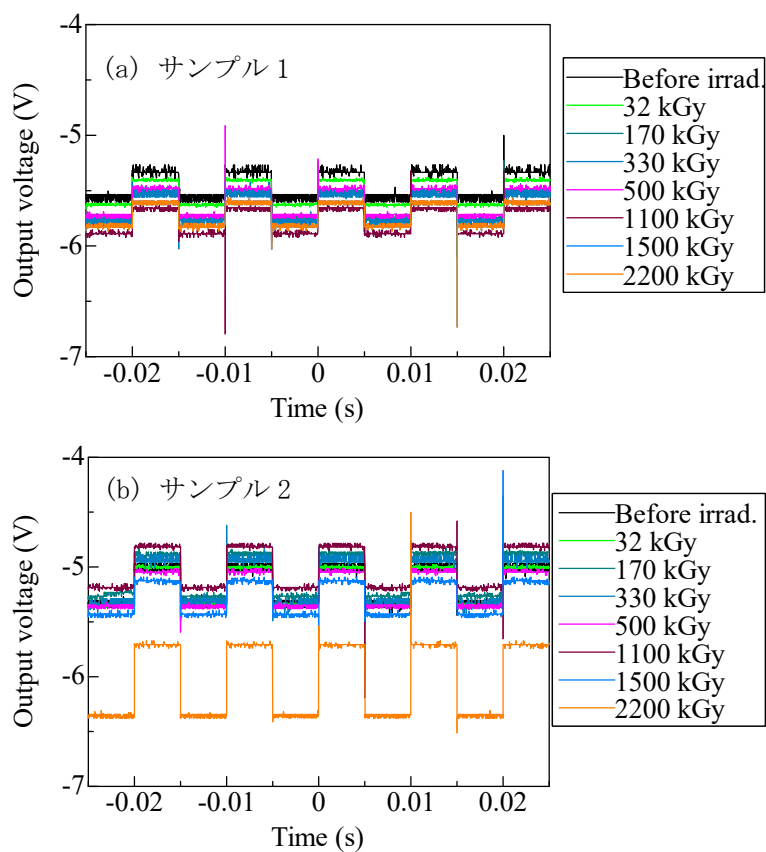


図 3.3-17 ガンマ線照射による複数画素素子の応答特性変化

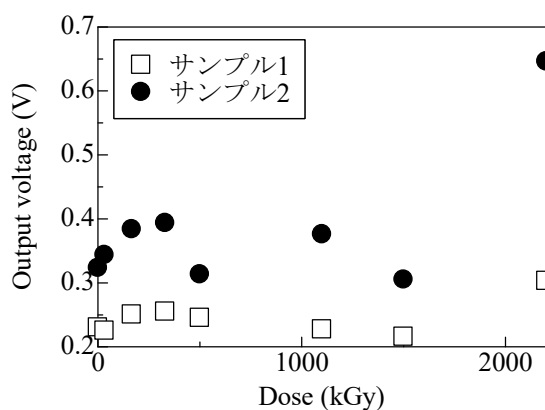


図 3.3-18 ガンマ線照射による複数画素素子の出力電圧変化

3.4 研究推進

本研究の進捗を管理するため、業務担当者が研究進捗を報告する報告会（実務者ミーティング）を実施した。実務者ミーティングでは、それぞれの業務担当者が研究進捗を報告するとともに、研究を進める上での問題点や課題などをオープンに議論することで、今後の研究の進め方の軌道修正などを適切に指示することができた。また、本業務における研究成果、及び研究戦略について意見を伺うための評価委員会を毎年度 1 回開催し、研究方針の策定にフィードバックした。尚、平成 29、30 年度においては、本業務終了後の実用化に向けた課題抽出を目的に、フェニテックセミコンダクター社の技術者の方々に評価委員会に参加頂き、本業務で開発した技術の実用化に向けた課題を抽出することができた。

表 3.4-1 実務者ミーティング実施実績

実務者ミーティング	日程	場所
第 1 回	2017/2/20-21	広島大学（広島県東広島市）
第 2 回	2017/8/8-9	量研機構（群馬県高崎市）
第 3 回	2018/3/27	広島大学（広島県東広島市）
第 4 回	2018/9/21	名古屋国際会議場（愛知県名古屋市）
第 5 回	2019/3/26-27	広島大学（広島県東広島市）

表 3.4-2 評価委員会実施実績

評価委員会	日程	場所
第 1 回	2017/3/21	東北大学（宮城県仙台市）
第 2 回	2018/3/26	広島大学（広島県東広島市）
第 3 回	2019/3/26	広島大学（広島県東広島市）

4. 結言

4.1 研究成果のまとめ

この研究では、福島第一原発など、高放射線環境下においても安定して動作する半導体イメージセンサの実現を目指し、耐放射線性の極めて高い半導体である炭化ケイ素（SiC）を活用した耐放射線半導体イメージセンサを実現するための各種要素技術開発、及びプロトタイプ試作について研究を行った。

(1) ハイブリッド型CMOSイメージセンサの技術開発（H28-H30）

① デバイス構造の設計（H28-H30）

平成28年度は、デバイスシミュレータを活用し、ハイブリッド型CMOSイメージセンサにおいて、光電変換を行うSiフォトダイオード部分と信号増幅部となるSiC回路部分の要素デバイス構造を設計するとともに、最終的に試作する耐放射線イメージセンサのプロトタイプの基本構造設計を実施した。

平成29年度は、平成28年度に実施した構造設計指針に従って試作したデバイスの電気特性のばらつきを解消するための新たなデバイス構造を提案するとともに、構造設計を行った。また、光を検出するSiフォトダイオード部についても構造設計を行った。上記構造設計指針に基づき、デバイス試作陽の露光マスク（レチクル）を設計・試作した（第1次プロトタイプ試作）。

平成30年度は、第1次プロトタイプ試作で顕在化した素子特性、及び放射線耐性に関する課題を克服するためデバイス構造の再設計を行うとともに、再試作を行った（第3次プロトタイプ試作）。第3次プロトタイプ試作結果より、当初目標としていた積算線量2 MGy以上の放射線耐性を達成した。

② 要素プロセス技術の開発（H28-H30）

平成28年度には、イオン注入後の活性加熱処理温度など、SiCとSiで大きく異なるプロセス条件を念頭に、プロセス条件を決定した。

平成29年度には、平成28年度に開発したSiC-JFET、及びSiフォトダイオードの形成プロセスを全体プロセスに集約し、工程毎に矛盾がないか実際のプロセス作業を通じて検証し、問題がないことを確認した。

平成30年度には、素子の再設計に伴うイオン注入に伴う新しい工程を検討し、第2次プロトタイプ試作へ適用した。

③ プロトタイプ試作（H29-H30）

平成29年度には、平成28年度に実施したSiC-JFET、及びSiフォトダイオードの構造設計指針に基づき、素子試作・評価を行った。SiC-JFETについては、その基本的な特性を実際に試作した素子において確認することができたが、電気特性のプロセス依存性が高いことが課題として明らかになったため、プロトタイプ二次試作へ向けその結果をフィードバックし、改めて構造設計を行うこととした。一方、Siフォトダイオードはほぼ設計通りの電気特性が得られていることが確認できた。何れの素子も耐放射線評価を行うために量研機構に提供した。

平成30年度には、平成29年度に顕在化した課題を解決するためのSiC-JFETの第

3 次プロトタイプ試作を実施し、すべての課題を解決するとともに、積算線量 2 MGy 以上の放射線耐性を達成した。

(2) ハイブリッド型CMOSイメージセンサの集積化技術開発（再委託先：広島大学）

(H28-H30)

① 集積化設計 (H28-H30)

平成28年度には、Siフォトダイオードと3個の3C-SiC nMOSトランジスタを同一半導体基板上に集積化した1画素イメージセンサの設計を行った。

平成29年度には、SiC基板上にSOI (Silicon-On-Insulator) 基板を貼り合わせて、支持基板・BOX層をエッチングすることにより、SiC基板上にフォトダイオード用の結晶Si層を形成することに成功した。この技術をベースに、集積化プロセスを見直し、信号ラインなどの多層配線も導入した1画素イメージセンサ、64画素イメージセンサの設計を行った。

平成30年度には、Siフォトダイオードと3個のSiC nMOSトランジスタを同一半導体基板上に集積化した1画素イメージセンサの設計を行い、更にこのセンサを64個アレイ状に並べた64画素イメージセンサ設計を行った。

② 集積化プロセス技術の開発 (H28-H30)

平成28年度には、3C-SiC MOSFETsとSiフォトダイオードを同一基板上に集積するためのプロセス開発を行った。

平成29年度には、SiC基板上へのSOI基板貼り合わせ技術の開発を進め、またこの技術を用いたSiC-MOSFETsとSiフォトダイオードを同一基板上に集積するための技術開発を行った。3C-SiC MOSFETsについてはチャネル部分への追加高温イオン注入を行うことにより、デバイスの高ON/OFF比を達成した。

平成30年度には、SOI基板とSiC基板の貼り合わせ技術向上・歩留まり向上のために、化学的機械的平坦化法 (CMP) などを導入して検討を進めた。最終的には基板の犠牲酸化プロセスの導入などにより、試作プロセス中に0.3 nm以下の原子レベルでの基板表面平坦性を保つことに成功し、これにより異種基板貼り合わせ技術の大幅な向上を達成した。SiC基板上へのSOI基板貼り合わせ技術の高度化を行い、これまで接合領域面積が限定的であったものを、チップ全面での接合を実現する技術を開発した。

③ プロトタイプ試作 (H28-H30)

平成28年度には、集積化設計と集積化プロセス技術の開発を統合し、Siフォトダイオードと3個の3C-SiC nMOSトランジスタを同一半導体基板上に集積化した1画素イメージセンサの作製を試みた。

平成29年度には、平成28年度に検討したデバイス構造、及びデバイスプロセス技術を活用することで、1画素イメージセンサ、64画素イメージセンサを試作した。

平成30年度には、新しいSOI基板/SiC基板貼り合わせ技術を導入し、これを用いた64画素イメージセンサを作製し、評価を行い、センサとしての動作

を実証した。またこれにより、より最適な構造および集積化プロセスを確立した。これまでに開発してきた集積化プロセス技術を活用し、1万画素イメージセンサの試作を試みた。

④ 周辺回路

ミックスドシグナルオシロスコープをベースとしたイメージセンサ（画素デバイス）評価システムを構築し、これを用いて評価を行った。

(3) イメージセンサの耐放射線性の評価と劣化機構の解明（再委託先：量研機構） (H28-H30)

① 要素素子の放射線照射効果解明（H28-H30）

平成28年度には、イメージセンサを構成する各要素素子の、更に基本素子となるSiフォトダイオード、及びSiC-MOSキャパシタに乾燥窒素雰囲気中でガンマ線を照射可能な環境を構築した。その上で実際の照射実験を行い、照射前後での電気特性（電流-電圧特性、容量-電圧特性）の変動から、放射線照射効果に関する基本的な情報を抽出した。

平成29年度には、イメージセンサの基本素子であるSiフォトダイオード、SiC-MOSキャパシタや、要素素子であるSiC-MOSFETに対しガンマ線照射実験を行った。更に照射前後の電気特性の変動から、放射線照射効果に関する基本的な情報を抽出する手法を確立した。この手法を用いてSiC-MOSFETの放射線照射効果が、酸化膜中の固定電荷とSiC/酸化膜界面に生成する界面準位により説明できることを明らかにした。得られた情報を産総研・広島大と共有し「プロトタイプ試作」にフィードバックした。

平成30年度には、平成29年度に実施した耐放射線評価結果を基に再設計・試作された素子に対する耐放射線性評価を実施し、SiC-MOSFET、SiC-JFET、Siフォトダイオードの何れにおいても積算線量2 MGy以上の放射線耐性を達成した。

② 単一画素素子の放射線照射試験（H29-H30）

平成29年度には、プロトタイプ耐放射線性イメージセンサであるSiC-JFETへのガンマ線照射実験を行った。照射後の電気特性測定により、素子構造によってしきい値電圧がほとんど変わらないもの、あるいは負または正電圧側へシフトするものが見られた。得られた結果から耐放射線性に有効なデバイス構造を提案した。更に、試作した1画素イメージセンサへの放射線照射実験を実施し、耐放射線性の評価を行い、複数画素素子設計へフィードバックした。

③ 複数画素素子の2 MGy 耐性の実証

平成30年度には、試作した複数画素（64画素）プロトタイプイメージセンサへの放射線照射実験を実施した。イメージセンサを構成する各画素の応答特性や出力電圧は照射によりばらつくものの、2 MGy照射後も動作不良まで

には至らないことを確認した。以上より、複数画素を有するプロトタイプ耐放射線性イメージセンサへの放射線照射を行い、2MGyまでの耐性を評価・実証した。

(4) 研究推進

産総研と再委託先2機関による研究進捗状況の報告、及び研究方針の決定・修正を行うための実務者ミーティングを本業務期間内に計5回開催するとともに、適宜TV会議等を活用した情報共有を進める事で、円滑な研究進捗管理を行う事ができた。また、各年度毎には本業務における研究成果、及び研究戦略について専門家の意見を伺うための評価委員会を開催し、研究方針の策定にフィードバックすることで研究計画の策定を進めることができた。

4.2 今後の展望

本委託事業により、ワイドギャップ半導体である SiC を活用することで優れた耐放射線性を備えたイメージセンサの実現性への道筋をつけることができたと考えている。今後は同技術をベースとし、信号増幅回路、パッケージ技術などの周辺技術も含めた総合的な研究開発が必要となる。そのためには今回の研究体制の枠組みを拡充し、広く材料開発メーカーや基礎技術を有する大学等との連携を進めることで、本技術の実用化を目指す。