

平成 30 年度

文部科学省 国家課題対応型研究開発推進事業
英知を結集した原子力科学技術・人材育成推進事業

廃炉作業ロボット向け
耐放射線組み込みシステムの開発

成果報告書

平成 31 年 3 月
国立大学法人静岡大学

本報告書は、文部科学省の「英知を結集した
原子力科学技術・人材育成推進事業」による
委託業務として、国立大学法人静岡大学が実
施した平成 28－30 年度「廃炉作業ロボット向
け耐放射線組み込みシステムの開発」の成果
を取りまとめたものです。

目次

概略	iv
1. はじめに	1-1
2. 業務計画	
2.1 全体計画	2.1-1
2.2 各年度計画	2.2-1
3. 業務の実施内容及び成果	
3.1 耐放射線組み込みシステムの開発	
3.1.1 耐放射線組み込みシステム向け光再構成型ゲートアレイの開発	3.1.1-1
(1) 強放射線試験に向けた計測システムの開発	3.1.1-1
(2) 光再構成型ゲートアレイの開発	3.1.1-2
(3) 光再構成型ゲートアレイのトータルドーズ耐性試験	3.1.1-4
(4) 光再構成型ゲートアレイのソフトエラー耐性試験	3.1.1-8
(5) 光再構成型ゲートアレイの総合評価試験	3.1.1-12
3.1.2 耐放射線組み込みシステムの開発	3.1.2-1
(1) ハードウェアユニットの多重化	3.1.2-1
(2) 理論解析とエラーインジェクションによる放射線耐性試験	3.1.2-1
(3) ^{241}Am の α 線によるソフトエラー耐性試験	3.1.2-4
(4) 耐放射線水晶発振回路	3.1.2-5
3.1.3 耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発	3.1.3-1
(1) 市販品のモバイルバッテリー、三端子レギュレータのトータルドーズ耐性	3.1.3-1
(2) 耐放射線電源回路の開発	3.1.3-2
(3) 光再構成型ゲートアレイ向け耐放射線電源回路の開発	3.1.3-4
(4) 耐放射線モータ制御回路の開発	3.1.3-5
3.2 移動ロボット用フルハード組み込みシステムの開発	3.2-1
(1) 移動ロボット用フルハード組み込みシステム要件の検討	3.2-1
(2) FPGA による組み込みシステムテストベッド及び開発環境の整備	3.2-1
(3) フルハード化に向けた処理の検討と基本設計	3.2-4
(4) 移動ロボットの制御アルゴリズムの検討	3.2-5
(5) 専用ハードウェア実装と評価	3.2-7
(6) より大規模な FPGA に対する組み込みシステムの最適化と評価	3.2-14
3.3 研究推進	3.3-1
4. 結言	4-1

表一覧

表 2.1-1	全体計画表	2.1-1
表 2.2-1	平成 28 年度業務計画表	2.2-1
表 2.2-2	平成 29 年度業務計画表	2.2-3
表 2.2-3	平成 30 年度業務計画表	2.2-5
表 3.1.2-1	1 秒あたりのソフトエラーの発生回数	3.1.2-3
表 3.2-1	ハードウェア資源消費量 (CycloneV SoC FPGA 向けに配置配線)	3.2-13
表 3.2-2	ハードウェア資源消費量 (Arria10 SoC FPGA 向けに配置配線)	3.2-15

図一覧

図 3.1.1-1	光再構成型ゲートアレイ向け耐放射線評価基板	3.1.1-1
図 3.1.1-2	CPLD を用いた耐放射線評価基板	3.1.1-1
図 3.1.1-3	光再構成型ゲートアレイのリペアの様子	3.1.1-2
図 3.1.1-4	TMR 実装をサポートした光再構成型ゲートアレイ VLSI	3.1.1-3
図 3.1.1-5	大規模光再構成型ゲートアレイ VLSI	3.1.1-3
図 3.1.1-6	光再構成型ゲートアレイ VLSI	3.1.1-4
図 3.1.1-7	光再構成型ゲートアレイ VLSI の伝搬遅延の計測結果	3.1.1-5
図 3.1.1-8	光再構成型ゲートアレイ VLSI の伝搬遅延計測の様子	3.1.1-5
図 3.1.1-9	光再構成型ゲートアレイシステム	3.1.1-6
図 3.1.1-10	ホログラムメモリとその回折パターン	3.1.1-7
図 3.1.1-11	^{60}Co による光再構成型ゲートアレイのソフトエラー耐性試験の様子	3.1.1-9
図 3.1.1-12	空間光変調素子を用いた光再構成型ゲートアレイ VLSI の α 線試験の様子	3.1.1-10
図 3.1.1-13	図 3.1.1-9 の光再構成型ゲートアレイシステムに対する α 線試験の様子	3.1.1-10
図 3.1.1-14	Artix-7 (XILINX) FPGA の ^{241}Am によるソフトエラー耐性試験の様子	3.1.1-11
図 3.1.1-15	光再構成型ゲートアレイの ^{241}Am によるソフトエラー耐性試験の様子	3.1.1-11
図 3.1.1-16	光再構成型ゲートアレイと耐放射線安定化電源回路による 24 時間稼働試験	3.1.1-12
図 3.1.2-1	16bit 加算器の 3 重回路実装	3.1.2-1
図 3.1.2-2	16bit 加算器の 5 重回路実装	3.1.2-2
図 3.1.2-3	エラーインジェクションの試験に用いた DE1-SOC FPGA ボード	3.1.2-2
図 3.1.2-4	Quartus Prime 配置配線ツールが生成した 3 重回路実装、5 重回路実装	3.1.2-3
図 3.1.2-5	^{241}Am α 線源によるソフトエラー耐性試験	3.1.2-4
図 3.1.2-6	耐放射線水晶発振回路のトータルドーズ耐性試験	3.1.2-5
図 3.1.3-1	市販のモバイルバッテリー	3.1.3-1
図 3.1.3-2	耐放射線・安定化電源回路	3.1.3-2
図 3.1.3-3	^{60}Co による耐放射線・安定化電源回路の放射線試験の様子	3.1.3-2

図 3.1.3-4	安定化電源回路の放射線耐性	3.1.3-3
図 3.1.3-5	光再構成型ゲートアレイむけ耐放射線電源回路	3.1.3-4
図 3.1.3-6	FET によるモータコントローラ	3.1.3-5
図 3.1.3-7	バイポーラトランジスタによるモータコントローラ	3.1.3-5
図 3.1.3-8	強放射線環境下におけるモータ制御の様子	3.1.3-6
図 3.1.3-9	モータ回路とバッテリーの接続の様子	3.1.3-6
図 3.1.3-10	モータ回転用 PWM 波形とフォトインタラプタからの信号波形	3.1.3-7
図 3.2-1	Cyclone V SoC FPGA を搭載したロボット制御基板	3.2-2
図 3.2-2	SPIDER ロボットテストベット	3.2-3
図 3.2-3	フルハードウェア化に向けたシステム構成 (a) と 多脚関節動作のためのハードウェア仕様案 (b)	3.2-4
図 3.2-4	六脚歩行ロボット	3.2-10
図 3.2-5	六脚歩行ロボットの構造と座標系	3.2-10
図 3.2-6	脚の構造と座標系	3.2-11
図 3.2-7	ロボット制御システムの概要	3.2-11
図 3.2-8	FPGA 部に実装するハードウェアサブシステムの構成	3.2-11
図 3.2-9	ベースシステムの構成	3.2-12
図 3.2-10	角度・パルス幅のサイクル数変換をハードウェア化したシステムの構成	3.2-12
図 3.2-11	逆運動学計算をハードウェア化したシステムの構成	3.2-13
図 3.2-12	座標変換計算をハードウェア化したシステムの構成	3.2-15
図 3.2-13	ロボットの歩行の様子	3.2-16

略語一覧

FPGA (Field Programmable Gate Array) : プログラマブルゲートアレイ
CPLD (Complex Programmable Logic Device) : プログラマブルロジックデバイス
TMR: (Triple Modular Redundancy) : 3重回路実装

概略

福島第一原子力発電所の廃炉の専門家はデブリ付近の放射線強度がワーストケース 1000 Sv/h 近くにも達する可能性があることを指摘している。今後のデブリを除去する廃炉作業において、1000 Sv/h もの強放射線環境下であっても、重いシールド材を用いることなく安定的に動作できる組み込みシステムの開発が急務と言える。特に、現状では γ 線が支配的であり、 γ 線に強い耐放射線組み込みシステムが求められている。

研究代表者は既存の集積回路に光技術を加えて既存の集積回路のトータルドーズ耐性、ソフトエラー耐性を向上させる耐放射線・光再構成型ゲートアレイの研究を進めている。本研究ではこの研究を基礎として、既存の耐放射線集積回路の 1 Mrad のトータルドーズ耐性の 100 倍となる 100 Mrad 以上の世界最強となる耐放射線組み込みシステムの実現を目指した。

まず、平成 28 年度には計測システム、多重化ユニットへのエラーインジェクション試験、耐放射線電源回路、耐放射線モータ制御回路、移動ロボットの研究を遂行した。まず強放射線試験に向けた計測システムを開発し、福島 1000 Sv/h の強放射線環境を模擬できる試験環境を構築した。また、多重化ユニットの設計を終え、1000 Sv/h 以上の強放射線環境を想定したエラーインジェクション試験を実施し、100MHz 周期で動作する 5 重回路によってシステムの正常動作が可能になることを実証した。また、耐放射線電源回路、耐放射線モータ制御回路の研究に着手し、市販品の数百倍の耐放射線性能を持つ電源回路、モータ制御回路を実現した。また、移動ロボット用フルハード組み込みシステム要件の検討、FPGA による組込みシステムテストベッド、及び開発環境の整備、フルハード化に向けた処理の検討と基本設計を終えた。

平成 29 年度では、平成 28 年度に構築された強放射線計測システムを活用して、強放射線環境下において光再構成型ゲートアレイのソフトエラー耐性を評価した。また、プログラマブルデバイスに対し、多重化したハードウェアユニットの実装を行い、多重化数と多数決の周波数条件等を明らかにした。エラーインジェクションによる検証も実施し、実放射線試験を行って耐放射線性能を明らかにした。加えて、バッテリーを含む電源回路、モータ制御部とプログラマブルデバイスとを組み合わせ、放射線環境下でモータ制御が正しく行えることを試験的に実証した。

移動ロボットについては、前年度に構築した組込みシステムテストベッドに対し、モータ制御やセンサ処理及びフィードバック計算等の要素処理として、多関節脚制御のためのインバースキネマティクス(IvK)計算、角度・PWM デューティ比変換のソフトウェアサブルーチンの実装とそのハードウェア化、及びサーボモータ制御のパルス幅変調(PWM)ハードウェアモジュールと近接センサ読出しハードウェアモジュールの設計及び実装を行った。高位合成コンパイラ CyberWorkBench を用いて IvK 計算及び PWM・デューティ比変換のソフトウェアコードと同等の機能を持つハードウェアを実装した。また、組込みシステムに移動ロボット用のモータやセンサ、バッテリーを接続し、実装したフルハード制御システムの基本機能が実際に動作することを、実装したソフトウェア及びハードウェアを用いた多関節脚制御により検証した。また、最初に導入した CycloneV FPGA SoC より大規模な Arria10 FPGA SoC を使用して複雑な動作を実現するためのシステムレベルソフトウェアのハードウェア実装として、ロボットの歩行動作等の制御アルゴリズムの実装を試みると共に、ハードウェア資源消費等についてその性能評価を行った。

【平成 30 年度】には光再構成型ゲートアレイの総合評価試験を実施した。500～800 Sv/h の放射線環境下において 24 時間の稼働試験を行った。また、耐放射線電源回路、モータ制御ユニットについては評価個数を増やし、トータルドーズ耐性試験を実施し、実証したトータルドーズ値以下で壊れることが無いことを確認した。加えて、組込みシステムの実装に必要となる耐放射線水晶発振回路の開発も実施した。ロボットについては 6 脚全ての制御のフルハードウェア化に成功し、FPGA 実装までを完了させた。

1 はじめに

研究代表者はこれまでに、光再構成型ゲートアレイが既存の耐放射線集積回路のトータルドーズ耐性の 190 倍以上となる 190 Mrad を超える耐放射線性能を持つことを試験的に実証している。この研究ではこの光再構成型ゲートアレイの基盤技術を活用し、耐放射線・廃炉作業ロボット向けに、強放射線環境下（1000 シーベルト/h）であっても重いシールド材を用いることなく正常に動作でき、100 Mrad 以上のトータルドーズ耐性を有する組み込みシステムの実現を目指している。以下に 3 ヶ年の業務の実績を述べる。

2. 業務計画

2.1 全体計画

本業務の全体計画表を表 2.1-1 に示す。

表 2.1-1 全体計画表

項目 \ 年度	平成 28 年度	平成 29 年度	平成 30 年度
(1) 耐放射線組み込みシステムの開発	強放射線試験に向けた計測システムの開発	光再構成型ゲートアレイの耐放射線評価試験、簡易光再構成型ゲートアレイの開発	強放射線環境下において光再構成型ゲートアレイ・組み込みシステムの総合評価
①耐放射線組み込みシステム向け光再構成型ゲートアレイの開発 (静岡大学)			
②耐放射線組み込みシステムの開発 (静岡大学)	CPLD を用いたハードウェアユニットの多重化、多数決周期に関する研究	ハードウェアユニットを組み込みシステムに組み込み、耐放射線性能向上の研究	強放射線環境下において組み込みシステムの評価試験
③耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発 (静岡大学)	バッテリー、電源回路、モータ制御回路の部品毎の個別放射線試験	電源回路、モータ制御回路の高放射線耐性化の研究	強放射線環境下において電源回路、モータ回路の評価試験
(2) 移動ロボット用フルハード組み込みシステムの開発 (東北大学)	ソフトウェアベースの実装により組み込みシステムのテストベッドを実現する	ソフトウェア処理のハードウェア化と基本機能の動作検証	フルハード組み込みシステムの完成と光電子デバイスへの最適化
(3) 研究推進	ミーティングの開催	ミーティングの開催	ミーティングの開催
	まとめ・評価	まとめ・評価	まとめ・評価

2.2 各年度の成果の目標及び業務の実施方法

2.2.1 平成 28 年度の成果の目標及び業務の実施方法

本業務の平成 28 年度の計画を表 2.2-1 に示す。業務項目別に目標及び実施方法について説明する。

表 2.2-1 平成 28 年度業務計画表

業務項目	実 施 日 程											
	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月
(1) 耐放射線組み込みシステムの開発												
① 耐放射線組み込みシステム向け光再構成型ゲートアレイの開発（静岡大学）							強放射線試験システムの開発			に向けた計測システム		
② 耐放射線組み込みシステムの開発（静岡大学）							CPLD を用いたハードウェアユニットの多重化、多数決周期に関する研究					
③ 耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発（静岡大学）							バッテリー、電源回路、モータ制御回路の部品毎の個別放射線試験					
(2) 移動ロボット用フルハード組み込みシステムの開発（東北大学）							ソフトウェアベースの実装により組み込みシステムのテストベッドを実現する					
(3) 研究推進（静岡大学）							ミーティングの開催					
										まとめ・評価		

(1) 耐放射線組み込みシステムの開発（静岡大学）

①耐放射線組み込みシステム向け光再構成型ゲートアレイの開発

静岡大学・理学部・放射線施設の ^{60}Co の γ 線源を用いて強放射線環境を作り、その中で使

用できる FPGA を使用した計測システムの開発を行う。

②耐放射線組み込みシステムの開発（静岡大学）

CPLD 上に多重化したハードウェアユニットの実装を行い、多重化数と多数決の周波数条件等を明らかにする。エラーインジェクションによる検証を行う。

③耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発（静岡大学）

バッテリーを含む安定化電源回路、また、モータドライバ回路の回路部品に対して放射線試験を実施し、部品毎の耐放射線性能を明らかにする。

(2) 移動ロボット用フルハード組み込みシステムの開発（再委託先：東北大学）

移動ロボットの基本動作に必要な機能や性能に加え、使用するモータ・センサ・制御アルゴリズム等の要件を検討する。また、Linux 及びロボット標準 OS である ROS が動作しかつ論理回路を実装可能な試作デバイスとして、Cyclone V SoC FPGA の制御基板を含むロボット開発キットを導入し、これに測域センサや近接センサ等を装備した上で、まずはソフトウェアベースの実装によりモータ制御が可能な組込みシステムのテストベッドを実現する。次に、実装したモータ制御処理の中からフルハードウェア化を行う部分を切り出し、そのフルハードウェア化に向けた基本設計を行うと共に、FPGA を用いたフルハード組み込みシステムの設計・実装のための環境整備を行う。

(3) 研究推進（静岡大学）

研究代表者の下で各研究項目間における連携を密にして研究を進める。

2.2.2 平成 29 年度の成果の目標及び業務の実施方法

本業務の平成 29 年度の計画を表 2.2-2 に示す。業務項目別に目標及び実施方法について説明する。

表 2.2-2 平成 29 年度業務計画表

業務項目	実 施 日 程											
	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月
(1) 耐放射線組み込みシステムの開発												
① 耐放射線組み込みシステム向け光再構成型ゲートアレイの開発 (静岡大学)	←		光再構成型ゲートアレイの耐放射線評価試験、簡易光再構成型ゲートアレイの開発									→
② 耐放射線組み込みシステムの開発 (静岡大学)	←		ハードウェアユニットを組み込みシステムに組み込み、耐放射線性能向上の研究									→
③ 耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発 (静岡大学)	←		電源回路、モータ制御回路の高放射線耐性化の研究									→
(2) 移動ロボット用フルハード組み込みシステムの開発 (東北大学)	←		ソフトウェア処理のハードウェア化と基本機能の動作検証									→
(3) 研究推進 (静岡大学)	←				ミーティングの開催							→
										まとめ・評価		

(1) 耐放射線組み込みシステムの開発 (静岡大学)

①耐放射線組み込みシステム向け光再構成型ゲートアレイの開発

平成 28 年度に構築された強放射線計測システムを活用して、強放射線環境下において光再構成型ゲートアレイのソフトエラー耐性を評価する。ソフトエラー耐性に問題がある

場合には光再構成型ゲートアレイのアーキテクチャを改良する。

②耐放射線組み込みシステムの開発（静岡大学）

CPLD 上に多重化したハードウェアユニットの実装を行い、多重化数と多数決の周波数条件等を明らかにする。エラーインジェクションによる検証を行う。

③耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発（静岡大学）

バッテリーを含む電源回路、モータ制御部と CPLD とを組み合わせ②の試験結果と合わせて、強放射線環境下でモータ制御が正しく行えることを試験的に実証する。

(2) 移動ロボット用フルハード組み込みシステムの開発（再委託先：東北大学）

前年度に構築した組み込みシステムテストベッドに対し、モータ制御やセンサ処理、及びフィードバック計算等の要素処理ソフトウェアのハードウェア化を試みる。高位合成コンパイラを使用して、ソフトウェアで書かれた処理コードと同等の機能を持つハードウェアを実装する。組み込みシステムに移動ロボット用のモータやセンサ、バッテリーを接続し、実装したフルハード制御システムの基本機能が実際に動作することを検証する。また、より大規模な FPGA を使用して複雑な動作を実現するシステムレベルソフトウェアのハードウェア実装を試みると共に、その性能評価を行う。

(3) 研究推進（静岡大学）

研究代表者の下で各研究項目間における連携を密にして研究を進める。

2.2.3 平成30年度の成果の目標及び業務の実施方法

本業務の平成30年度の計画を表2.2-3に示す。業務項目別に目標及び実施方法について説明する。

表2.2-3 平成30年度業務計画表

業務項目	実 施 日 程											
	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月
(1) 耐放射線組み込みシステムの開発			光再構成型ゲートアレイの耐放射線評価試験、 光再構成型ゲートアレイ VLSI の改良版を試作、 総合評価									
① 耐放射線組み込みシステム向け光再構成型ゲートアレイの開発（静岡大学）	←											→
② 耐放射線組み込みシステムの開発（静岡大学）	←											→
③ 耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発（静岡大学）	←											→
(2) 移動ロボット用フルハード組み込みシステムの開発（理化学研究所）	←											→
	←											→
(3) 研究推進（静岡大学）											まとめ・評価	→

(1) 耐放射線組み込みシステムの開発（静岡大学）

①耐放射線組み込みシステム向け光再構成型ゲートアレイの開発

平成29年度に開発した光再構成型ゲートアレイのトータルドーズ耐性試験を続けると

同時に光再構成型ゲートアレイVLSIの改良版を試作し、パッケージに実装し、強放射線環境下における光再構成型ゲートアレイ・組み込みシステムの総合評価を実施する。

②耐放射線組み込みシステムの開発（静岡大学）

CPLD上に多重化したハードウェアユニットを実装し、強放射線環境下での耐放射線試験を行い、組み込みシステムの耐放射線性能を明らかにする。また、耐放射線性能に脆弱な面が見つかれば耐放射線性能を改善していく。

③耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発

（静岡大学）

平成29年度に開発した耐放射線電源回路及び耐放射線モータ制御回路をさらに改良し、耐放射線性能を上げる。最終的に、強放射線環境下における電源回路、モータ制御回路の性能評価試験を行い、光再構成型ゲートアレイ・組み込みシステムと共に利用できる電源回路、モータ制御回路を実現する。

(2) 移動ロボット用フルハード組み込みシステムの開発

（静岡大学、再委託先：理化学研究所）

平成 29 年度に実装したフルハード制御システムの基本機能に基づき、より大規模なFPGA を用いた組み込みシステムの最適化設計を行う。また、設計したシステムについて FPGA 向けの配置配線を行い回路面積などの評価を行うと共に、ハードウェア化するアルゴリズム別に求められる論理回路の規模を明らかにする。

(3) 研究推進（静岡大学）

研究代表者の下で各研究項目間における連携を密にして研究を進める。

3. 業務の実施内容及び成果

3.1 耐放射線組み込みシステムの開発 (H28～H30)

3.1.1 耐放射線組み込みシステム向け光再構成型ゲートアレイの開発

(1) 強放射線試験に向けた計測システムの開発

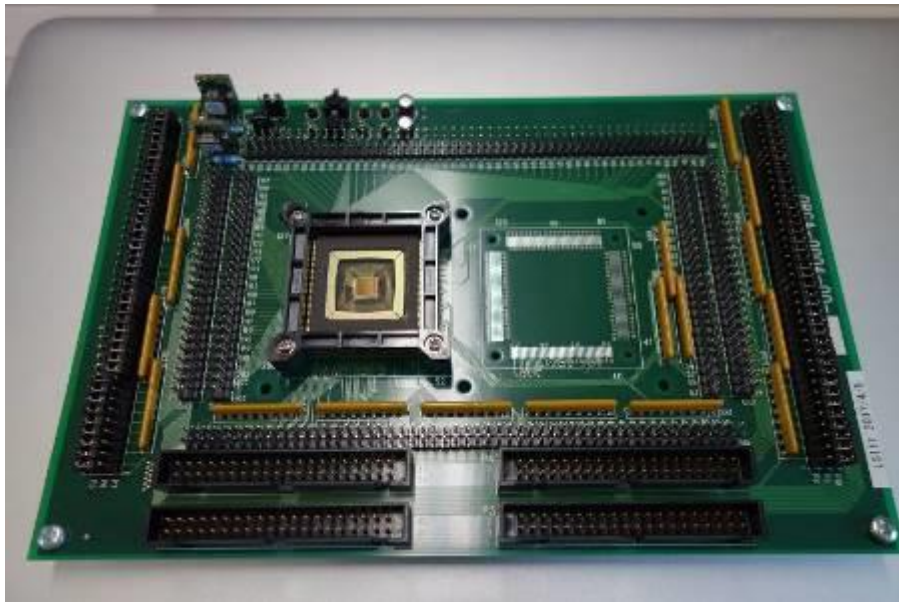


図 3.1.1-1 光再構成型ゲートアレイ向け耐放射線評価基板



図 3.1.1-2 CPLD を用いた耐放射線評価基板

静岡大学・理学部・放射線施設の ^{60}Co の γ 線源を用いて1000 Sv/hの強放射線環境を作り、その中で使用できるFPGAを使用した計測システムを開発した。光再構成型ゲートアレイの耐放射線試験で使用する耐放射線評価基板を図3.1.1-1に示す。現在、光再構成型ゲートアレイVLSIは $0.18\mu\text{mCMOS}$ プロセスにて試作されており、この評価基板は、 $0.18\mu\text{mCMOS}$ プロセスの光再構成型ゲートアレイVLSIが実装できるように設計されている。また、これ以外に、図3.1.1-2で示すようなCPLDを用いた耐放射線評価基板を開発した。この基

板は光再構成型ゲートアレイが実装される耐放射線評価基板にハーネスを介して接続され、主に光再構成型ゲートアレイ VLSI に対する制御信号を生成する目的で使用される。加えて、図 3.1.1-9 に示すような耐放射線試験に使用する計測システム向けの治具類も開発した。

(2) 光再構成型ゲートアレイの開発

光再構成型ゲートアレイはプログラマブルデバイスの 1 種であり、ホログラムメモリ、レーザアレイ、光再構成型ゲートアレイ VLSI から構成される。回路情報はホログラムメモリ内に蓄えられ、光再構成型ゲートアレイ VLSI に対して光学的に供給される。光再構成型ゲートアレイ VLSI は現在の FPGA と同じ Look-up Table とスイッチングマトリックスから成る細粒度のプログラマブルなゲートアレイを持ち、光再構成型ゲートアレイ VLSI の基本的な機能は FPGA と同じである。しかし、光再構成型ゲートアレイ VLSI には、FPGA のシリアル構成に代わり、光による並列構成機能が導入されており、フォトダイオードがアレイ状に実装されている。この結果、光再構成型ゲートアレイ VLSI では故障に頑強な構成機能が実現され、集積回路部にいかなる故障が生じたとしてもプログラミングの機能だけは絶対に故障せず、故障箇所を回避し、それ以外の正常な領域を使用する回路にゲートアレイを再構成することが可能になる。既存の FPGA でも同様なことが一見できそうであるが、FPGA ではシリアル構成のプログラミング機能が放射線により最初に破壊される確率があまりにも高く、故障が生じた時点でプログラミング機能が生き残ることは期待できない。光再構成型ゲートアレイの光並列構成法が世界で初めて故障を許容する運用を可能にした。図 3.1.1-3 に故障回避の実装例を示す。ある論理ブロック (CLB) が破壊された時に、他の論理ブロック (CLB) でそれを代用することで同機能を実現し、システムを維持することができる。これにより、既存の標準の CMOS プロセスで製造された光再構成型ゲートアレイ VLSI であってもトータルドーズ耐性を劇的に高めることが可能になる。

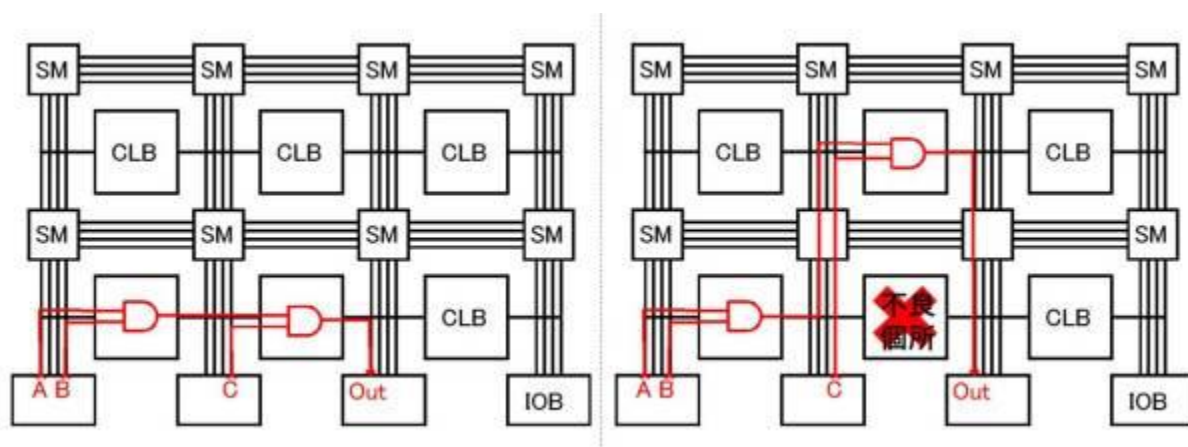


図 3.1.1-3 光再構成型ゲートアレイのリペアの様子
(ある個所のゲートアレイが壊れても別の正常な箇所を用いて同機能を実装できる)

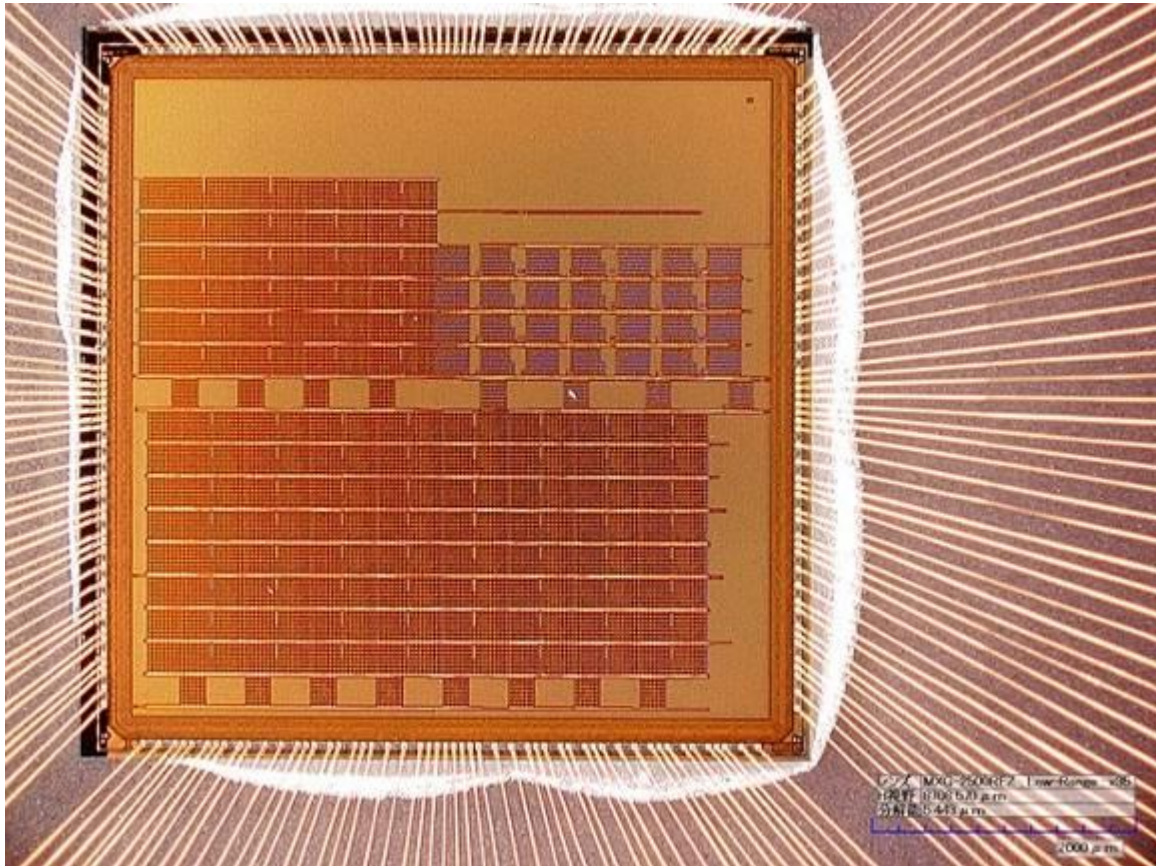


図 3.1.1-4 TMR 実装をサポートした光再構成型ゲートアレイ VLSI

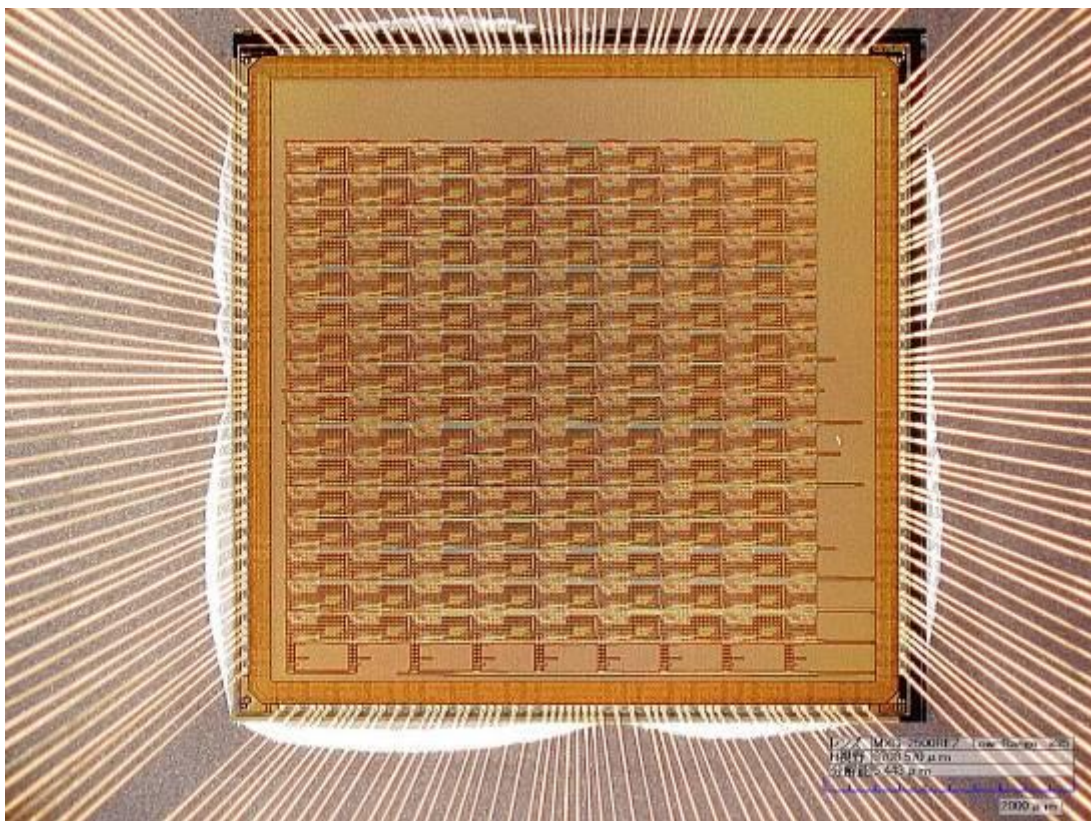


図 3.1.1-5 大規模光再構成型ゲートアレイ VLSI

平成 29 年度～30 年度にかけて ROHM0.18 μm プロセスを用いて TMR 実装をサポートした光再構成型ゲートアレイ VLSI を開発した。この光再構成型ゲートアレイ VLSI には 3 層の独立したゲートアレイレイヤーがあり、普通に回路を実装するだけで TMR 化ができる。ルックアップテーブルの出力には多数決回路が接続されており、3 つのゲートアレイレイヤーのそれぞれの出力結果から多数決を採り、ソフトウェアが生じたゲートアレイレイヤーの状態を自動的に修復することができる。この TMR 実装をサポートする光再構成型ゲートアレイでは、ゲートアレイ上で TMR の多数決回路を構成した実装回路よりも、より高周波数での多数決処理、より大規模な回路実装が可能になるため、ソフトウェア耐性や回路の性能をさらに向上させることができる。【平成 30 年度】にはクロックツリー部のバッファに改良を加えて大規模化した図 3.1.1-5 の光再構成型ゲートアレイ VLSI を開発した。

(3) 光再構成型ゲートアレイのトータルドーズ耐性試験

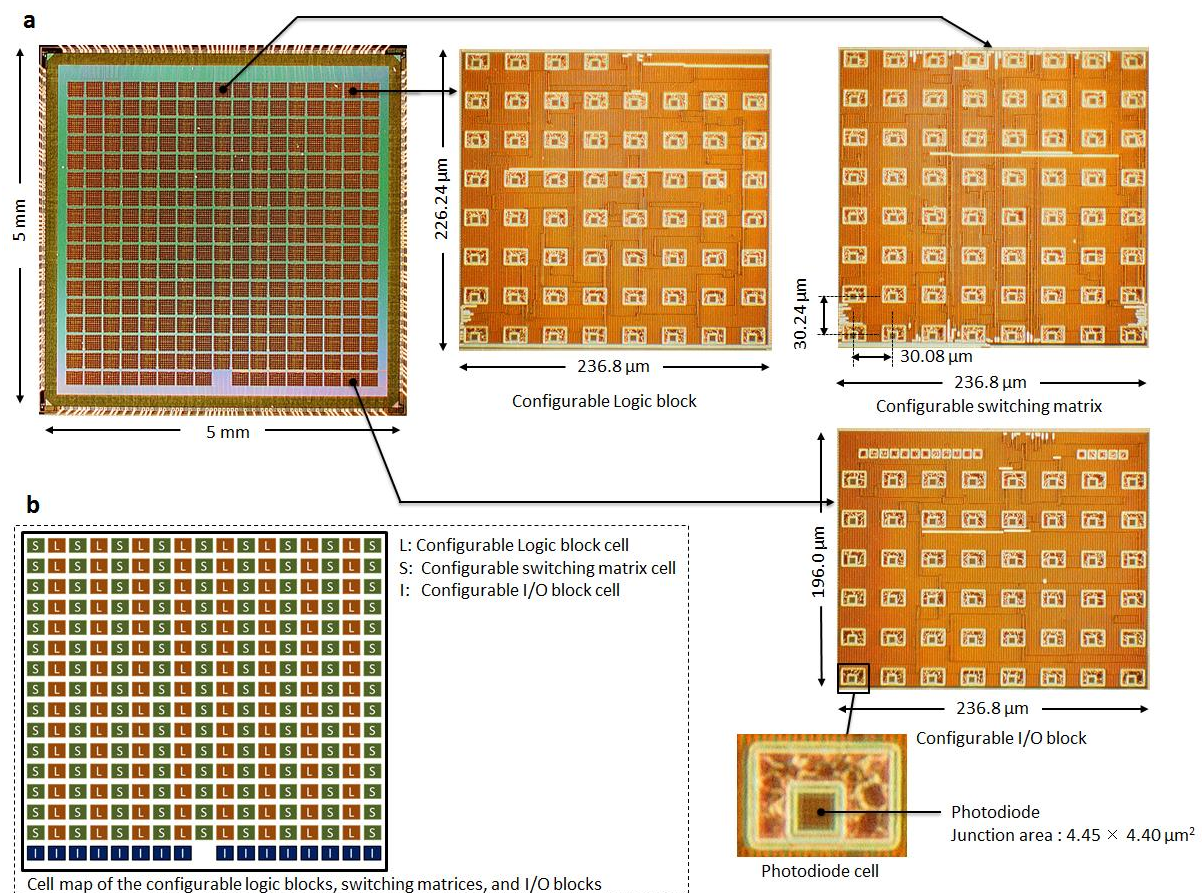


図 3.1.1-6 光再構成型ゲートアレイ VLSI

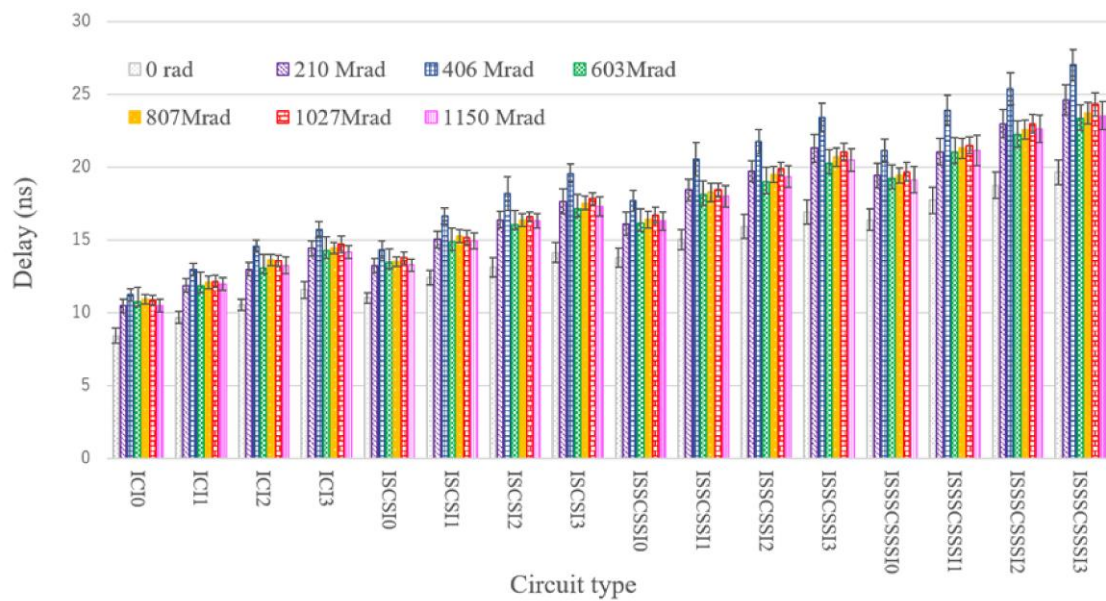


図 3. 1. 1-7 光再構成型ゲートアレイ VLSI の伝搬遅延の計測結果



図 3. 1. 1-8 光再構成型ゲートアレイ VLSI の伝搬遅延計測の様子

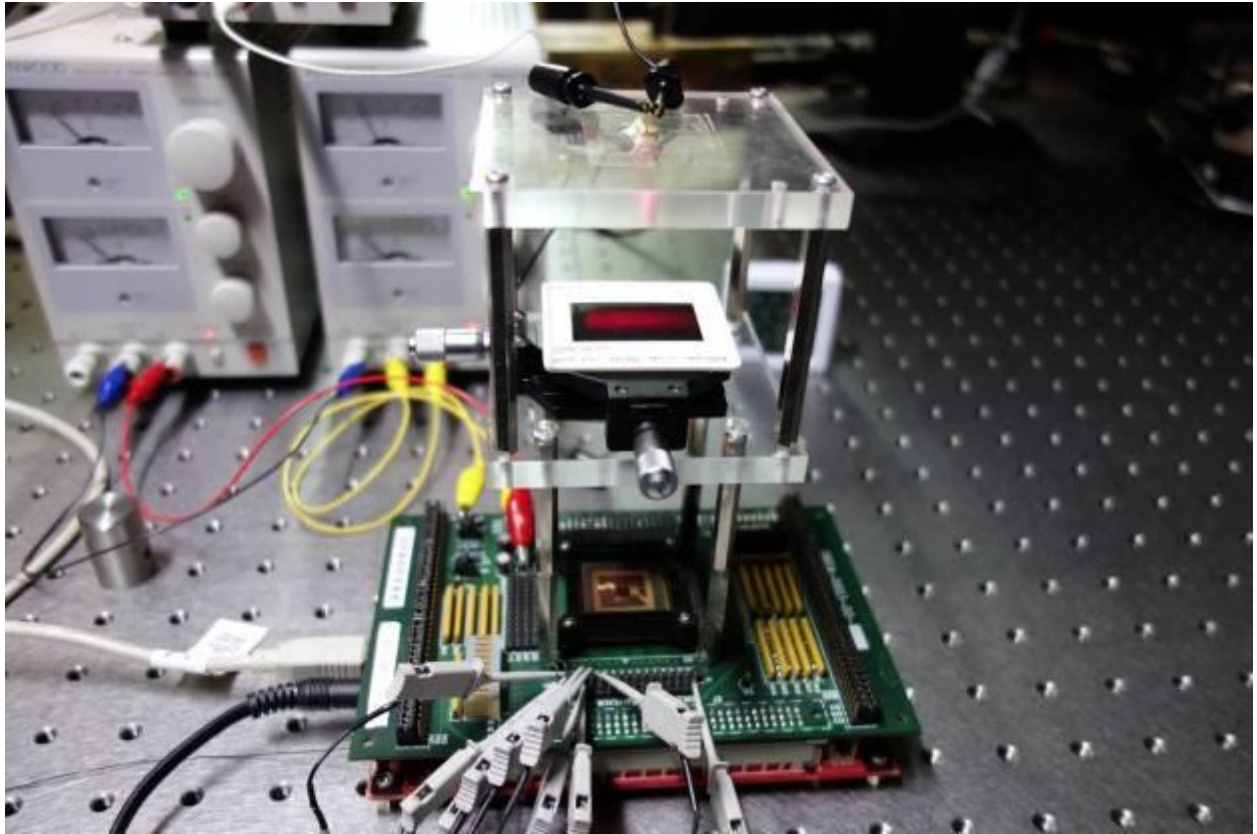
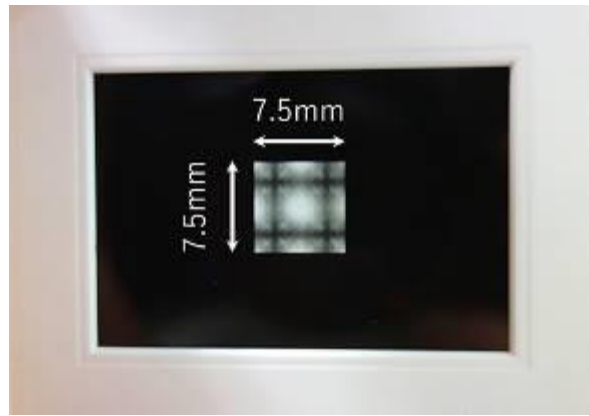


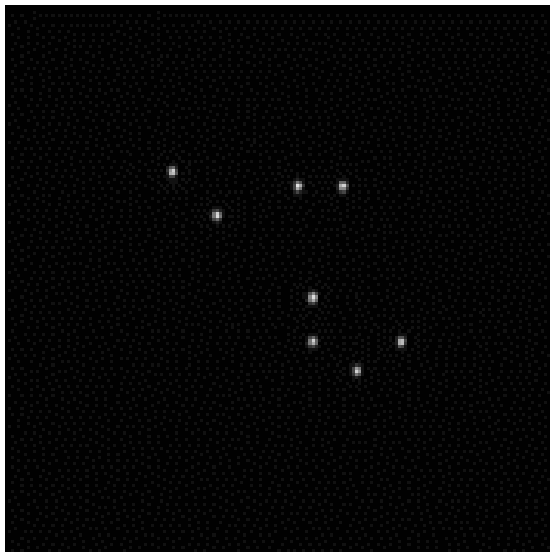
図 3.1.1-9 光再構成型ゲートアレイシステム

静岡大学・理学部・放射線施設の ^{60}Co の γ 線源を用いて構築した強放射線環境を用いて、光再構成型ゲートアレイを構成する3つのデバイス、レーザ、ホログラムメモリ、光再構成型ゲートアレイ VLSI のそれぞれに対するトータルドーズ耐性試験を実施した。平成 28 年度～29 年度にかけて、図 3.1.1-6 に示す光再構成型ゲートアレイ VLSI のトータルドーズ耐性が 800 Mrad まであることを実証してきた。さらに【平成 30 年度】において、光再構成型ゲートアレイ VLSI のトータルドーズ耐性が 1.15 Grad 以上であることを試験的に実証した。この結果はスタンダードな CMOS プロセスで製造した光再構成型ゲートアレイ VLSI が既存の耐放射線デバイスの 1150 倍以上のトータルドーズ耐性を持つことを示す。図 3.1.1-7 に示すように回路の応答時間（遅延時間）はトータルドーズの増大に比例して増しているが、1.56 倍程度までとなっており、性能劣化も小さいことが確認できる。さらに、1.15 Grad のトータルドーズの照射を終えても尚、光再構成型ゲートアレイ VLSI では 2 つの I/O ブロックが破壊されただけで、その他の 99%以上の論理ブロック、スイッチングマトリックスが正常に動作している。このトータルドーズが限界値とは言えないことは明らかである。今後もトータルドーズ耐性試験を続け、より先にある限界値を明らかにしていく予定である。

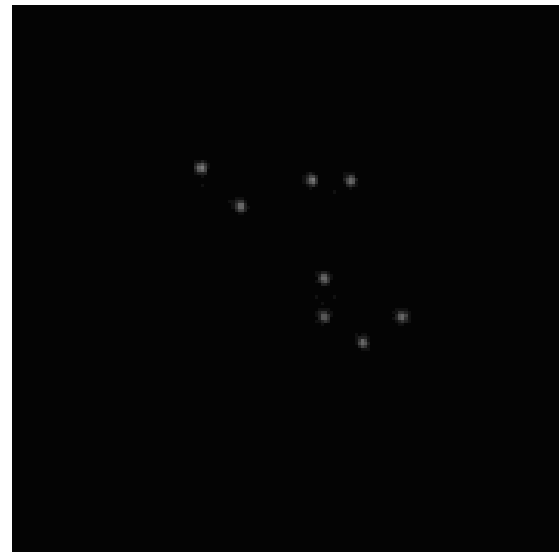
このように、これまで集積回路は放射線に対して脆弱であると言われ続けてきたが、光並列構成法を導入し、集積回路上で故障することを許容できるようになれば、集積回路の放射線耐性は劇的に改善できる。本手法の明らかな有効性を実証することができたと言える。



(a) フィルムホログラムメモリ (400 Mrad 照射後)



(b) 照射前のホログラムメモリからの
コンテキストパターン



(c) 400Mrad 照射後のホログラムメモリからの
コンテキストパターン

図 3.1.1-10 ホログラムメモリとその回折パターン

ホログラムメモリやレーザアレイについてもトータルドーズ耐性を評価した。光再構成型ゲートアレイではホログラムメモリ内に回路情報を記憶する。ホログラムメモリは光の干渉により情報を読み出すことから、情報を読み出した時点で数えきれない光波からの多数決演算が行われることになり、ホログラムメモリの1部が放射線により物理的に破壊されたとしてもホログラムメモリから正しい情報を読み出すことができる。極端なケースでは半分に割った片方のホログラムメモリからでも記憶情報を正しく読み出すことができる。光再構成型ゲートアレイシステムでも、このホログラムメモリの頑強性を活用しており、ホログラムメモリだけは唯一、放射線によって壊されないことを前提としている。

このホログラムメモリのアドレッシングに用いるレーザアレイについては集積回路と同様に半導体であることから放射線への脆弱性が懸念されたが、集積回路と比較すると放射線耐性は高い。レーザは数多く実装することから、多少故障してもシステムの運用に影響は無いが、ここではレーザアレイについても故障せず運用できるトータルドーズ耐性を評価した。

平成 28 年度～29 年度にかけて、 ^{60}Co の γ 線源を用いてレーザアレイ、ホログラムメモリのトータルドーズ耐性を調べる試験を行い、レーザアレイのトータルドーズ耐性が 300 Mrad、ホログラムメモリのトータルドーズ耐性が 500 Mrad あることを確認した。【平成 30 年度】にはさらに試験を進め、レーザのトータルドーズ耐性が 400 Mrad、ホログラムメモリのトータルドーズ耐性が 600 Mrad であることまで確認を終えた。図 3.1.1-10(a)に試験に用いたホログラムメモリ、図 3.1.1-10(b)、(c)に 400 Mrad 照射前後のホログラムメモリからのコンテキストパターンをそれぞれ示す。ホログラムメモリのトータルドーズ耐性はコンテキストの状態からも限界値とは言えず、より高いトータルドーズ耐性を持つものと判断できる。今後もホログラムメモリのトータルドーズ耐性試験を継続していく予定である。ただし、レーザアレイは 400 Mrad をこえた 500 Mrad 付近で故障するレーザが出てきており、今後、これ以上のトータルドーズ耐性を実現する場合には、より放射線耐性の高いレーザを見つける必要がある。

これらレーザ、ホログラムメモリ、光再構成型ゲートアレイ VLSI を組み合わせた光再構成型ゲートアレイシステムを図 3.1.1-9 に示す。この光再構成型ゲートアレイシステム全体としてのトータルドーズ耐性は既存の耐放射線デバイスの 400 倍となる 400 Mrad と評価できる。これは福島第一原子力発電所の 1000 Sv/h の強放射線環境下において、167 日間稼働できるトータルドーズ耐性である。

(4) 光再構成型ゲートアレイのソフトエラー耐性試験

平成 28 年度に構築された ^{60}Co を用いた強放射線計測システムを活用して、平成 29 年度では強放射線環境下における光再構成型ゲートアレイのソフトエラー耐性試験を実施した。図 3.1.1-11 に示す試験システムを構築し、光再構成型ゲートアレイシステムのソフトエラー耐性を評価した。ただし、 ^{60}Co からの γ 線によって発生するソフトエラーの頻度が必ずしも高くは無く、他の核種による試験も必要であると判断し、平成 29 年度からは図 3.1.1-12、図 3.1.1-13 に示す様な ^{241}Am (4MBq) の α 線源と真空チャンバーとを用いた α 線試験装置を構築し、光再構成型ゲートアレイの α 線源に対するソフトエラー耐性の評価試験を開始した。図 3.1.1-12 は空間光変調素子を用い、光再構成型ゲートアレイ VLSI のソフトエラー耐性を評価する試験装置で電氣的にホログラムのデータを書き換えられる特徴があり、短時間の間に様々な回路を実装し評価することができる。一方、図 3.1.1-13 は、図 3.1.1-9 の光再構成型ゲートアレイシステム全体をまとめて評価する試験装置で、トータルドーズ耐性試験で評価した光再構成型ゲートアレイシステムそのまま使用し、ソフトエラー耐性を評価した。

【平成 30 年度】には既存の Artix-7 FPGA と対比させつつ、光再構成型ゲートアレイのソフトエラー耐性を詳細に評価した。Artix-7 FPGA の試験状況を図 3.1.1-14 に示す。Artix-7 FPGA のチップトップは開封し、その直上に 4MBq の ^{241}Am 線源を 2 枚置き、構成処理を何度も行うスクラビング処理下においてソフトエラー耐性を調べた。その結果、 α 線が最大限入射する条件下において、Artix-7 では構成処理は 1 度も成功せず、全てのスクラビング処理サイクルでエラーとなった。一方、我々が開発した光再構成型ゲートアレイでも同じくチップトップを開放した状態で 4MBq の ^{241}Am 、2 枚をチップトップに設置し、ソフトエラー耐性試験を行った。 ^{241}Am の設置角度、距離、真空度合い、全て Artix-7 と同じ条件である。この試験の様子を図 3.1.1-15 に示

す。尚、この時の光再構成型ゲートアレイのスクラビングの周期は 500ns である。結果、 α 線の量は Artix-7 と全く同じ量でありながらも、スクラビング処理が正常に行えることを確認できた。Artix-7 FPGA が 1 回の構成さえも成功しない α 線環境下において、光再構成型ゲートアレイ上のソフトウェアのエラーインターバルは 1.1 時間と長く、光並列構成による高速スクラビングのソフトウェアに対する利点を実証することができた。

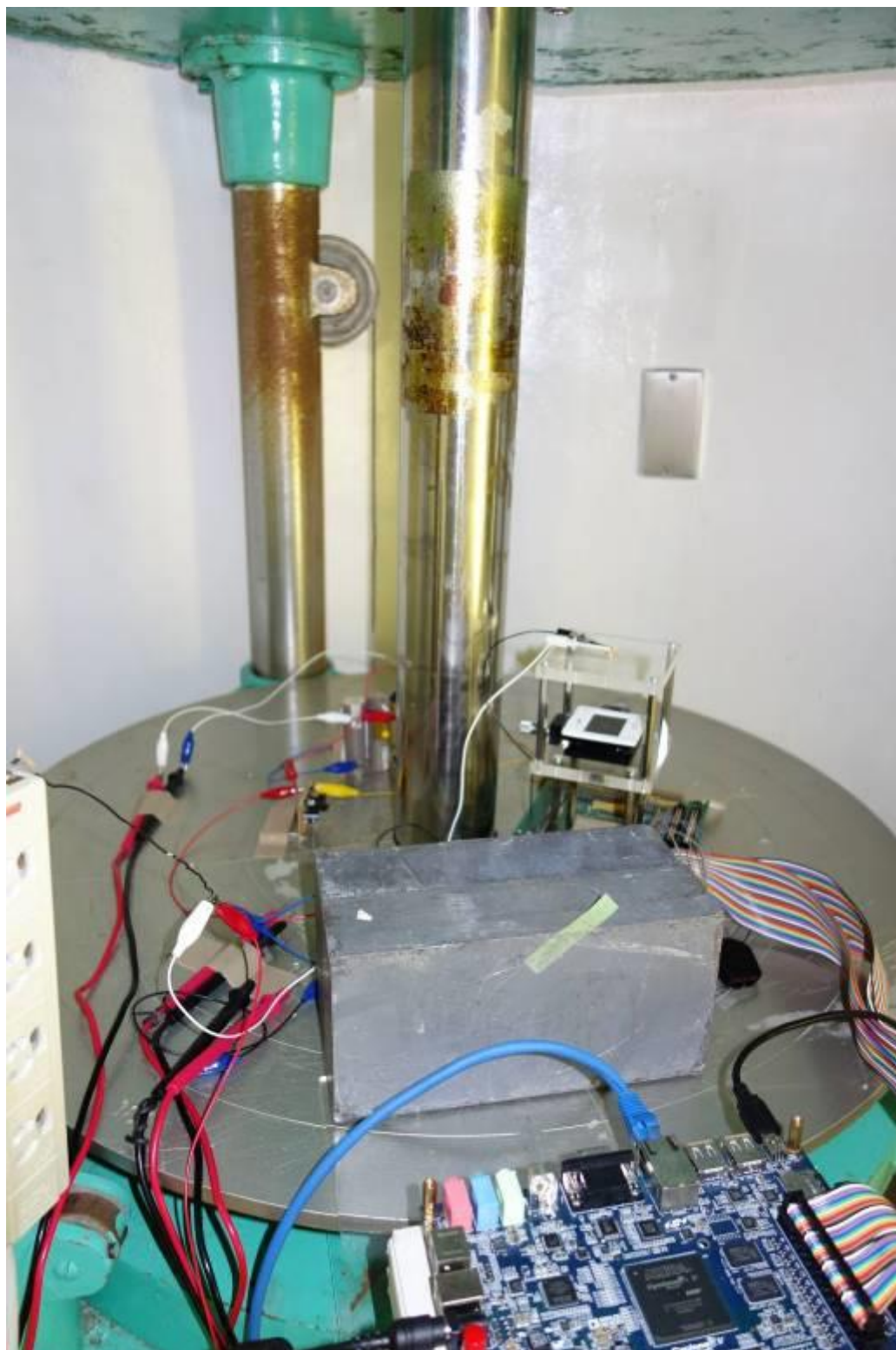


図 3. 1. 1-11 ^{60}Co による光再構成型ゲートアレイのソフトウェア耐性試験の様子

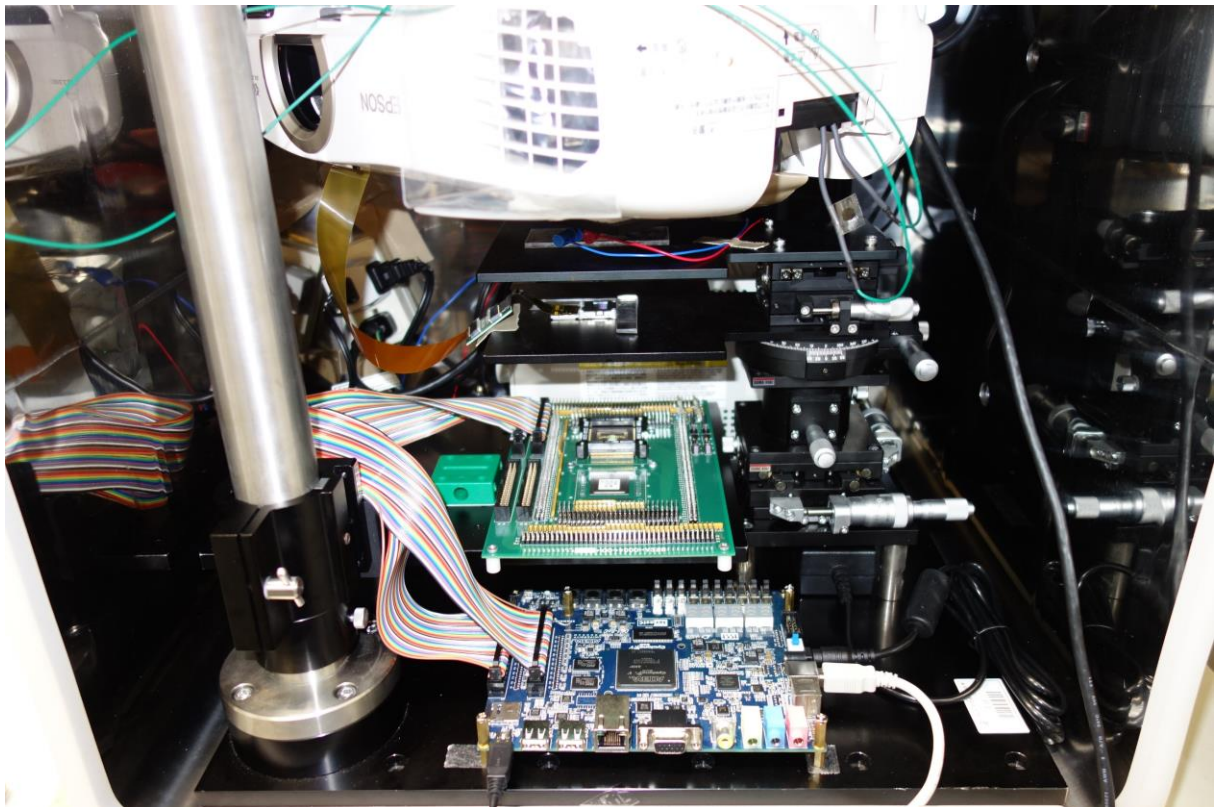


図 3. 1. 1-12 空間光変調素子を用いた光再構成型ゲートアレイ VLSI の α 線試験の様子



図 3. 1. 1-13 図 3. 1. 1-9 の光再構成型ゲートアレイシステムに対する α 線試験の様子

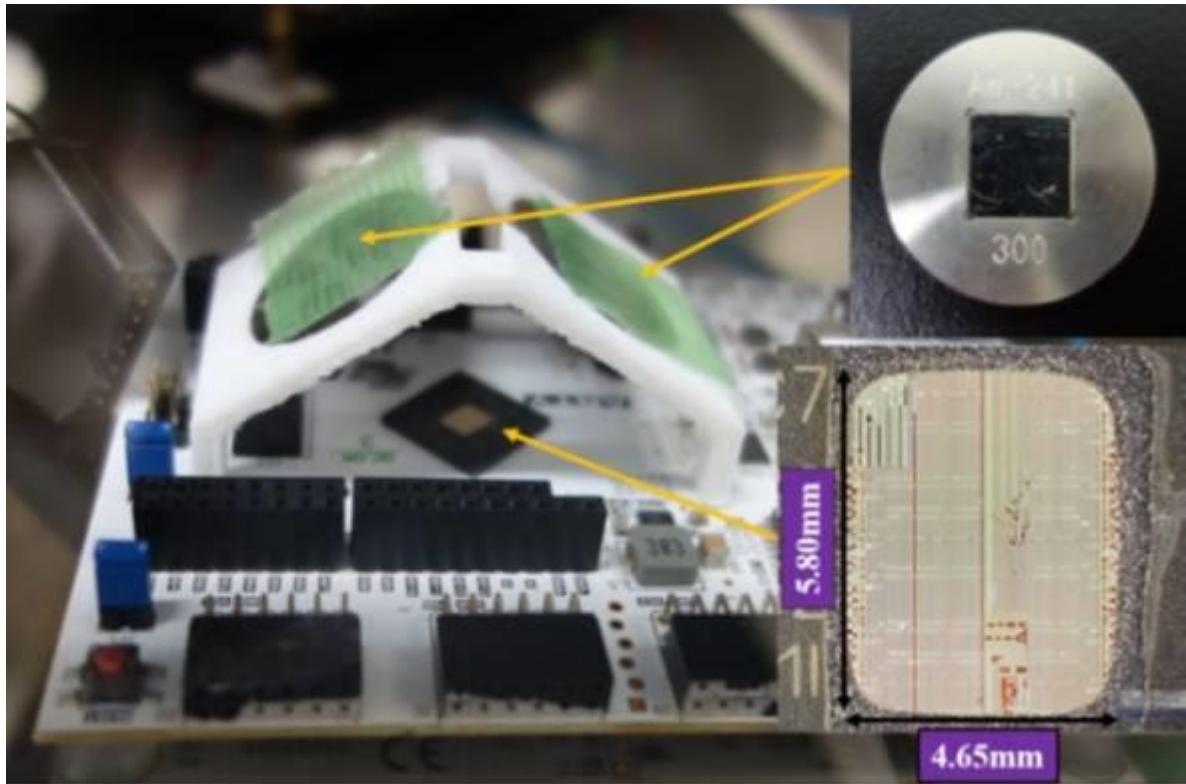


図 3.1.1-14 Artix-7 (XILINX) FPGA の ^{241}Am によるソフトウェア耐性試験の様子

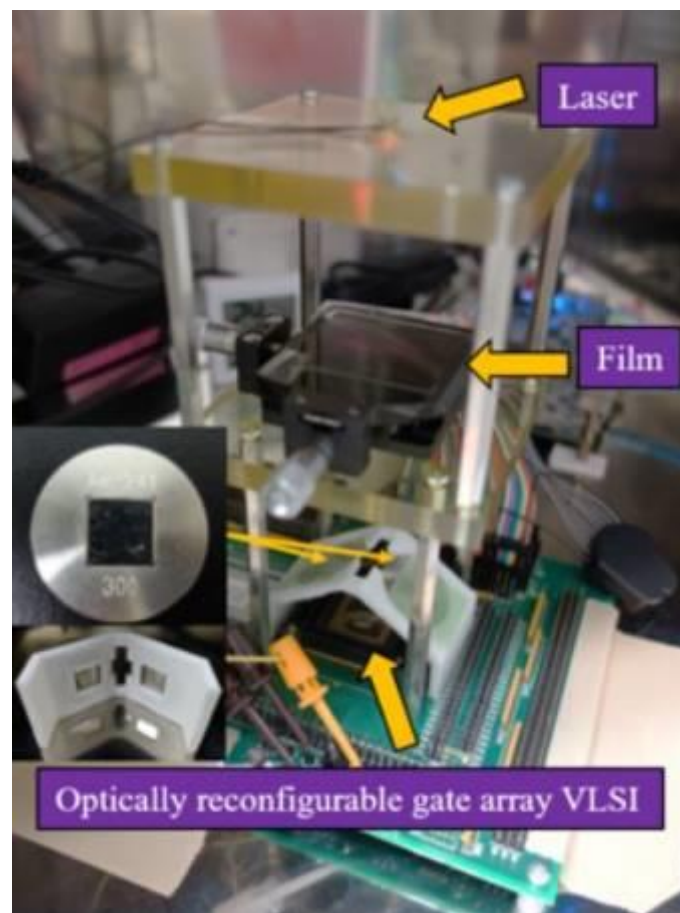


図 3.1.1-15 光再構成型ゲートアレイの ^{241}Am によるソフトウェア耐性試験の様子

(5) 光再構成型ゲートアレイの総合評価試験

【平成 30 年度】に図 3.1.1-9 の光再構成システムと研究項目 3.1.3 の耐放射線安定化電源回路とを組み合わせ、Co60 による 500～800 Sv/h に相当する γ 線環境下において、光再構成型ゲートアレイを 24 時間動作させる試験を実施した。結果、24 時間の間、正しく動作できることを確認した。

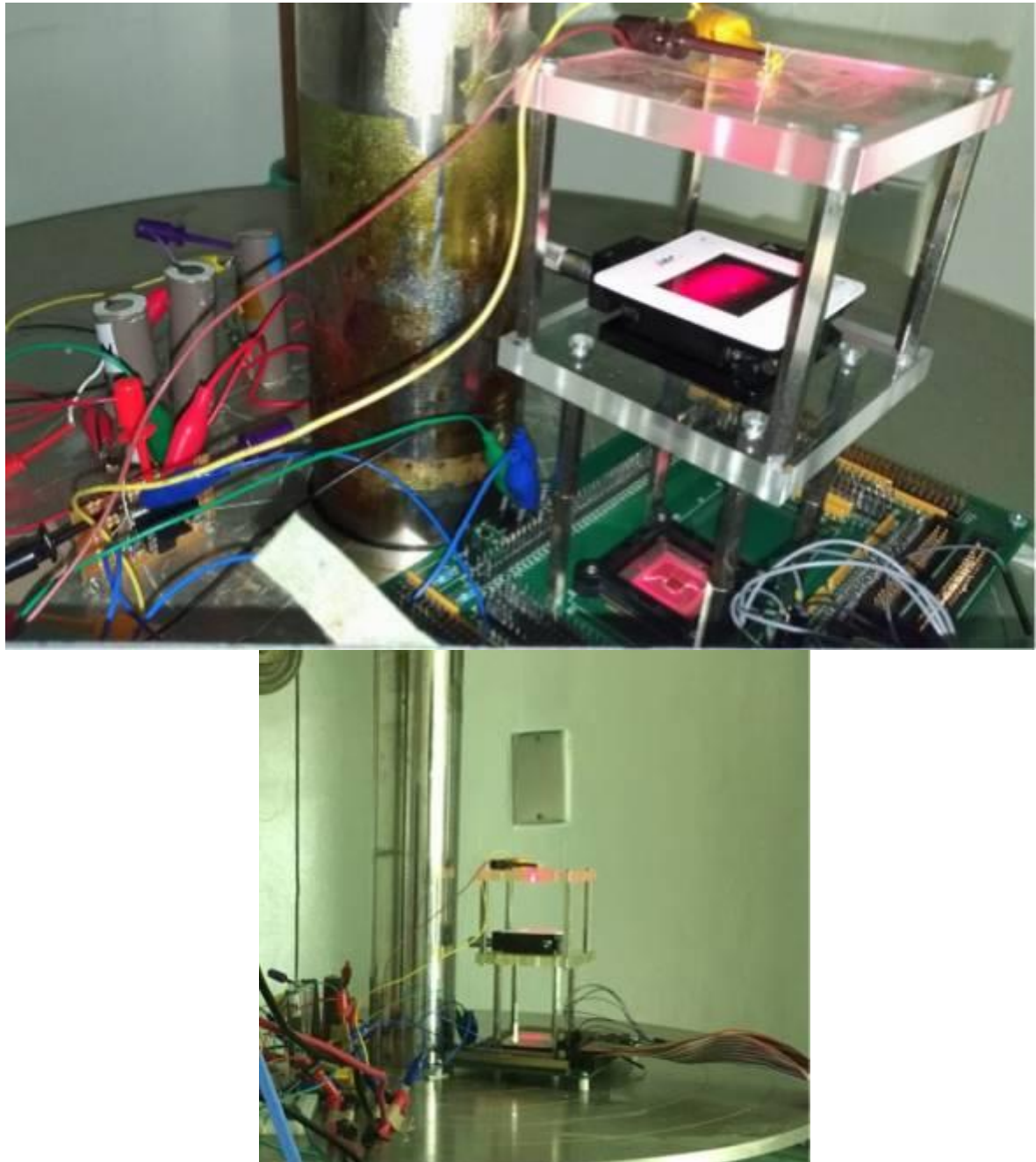


図 3.1.1-16 光再構成型ゲートアレイと耐放射線安定化電源回路による 24 時間稼働試験

3.1.2 耐放射線組み込みシステムの開発

(1) ハードウェアユニットの多重化

放射線がデバイスに入射すると、デバイス内に正孔、電子対が多数生じ、一時的な誤動作、ソフトエラーが生じる。このため、放射線環境下においてデジタルシステムを運用する場合、ソフトエラー対策が必須となる。宇宙空間では一般的に、同じ回路を 3 つ実装し、多数決を採りつつ処理を進める 3 重回路が使用されている。3 重回路では多数決を採る 1 周期の間に 1 つの放射線の入射があっても正しい処理を続けることができる。この多数決周期を短くすればするほどソフトエラー耐性を高めることができる。また、多重化の数を増やしてもソフトエラー耐性を上げることができる。本研究では理論とエラーインジェクション試験の双方から 16 ビット加算器の 3 重回路実装、5 重回路実装の耐放射線性能を明らかにした。

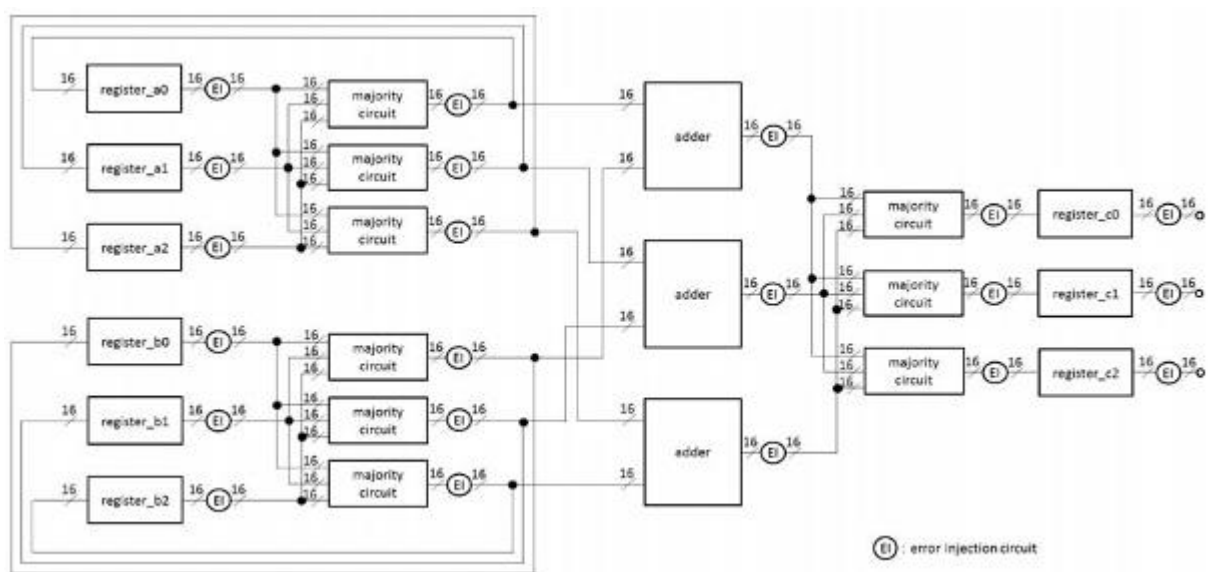


図 3.1.2-1 16bit 加算器の 3 重回路実装

16 ビット加算器の 3 重回路実装、5 重回路実装のそれぞれのブロック図を図 3.1.2-1、図 3.1.2-2 に示す。各レジスタはクロックの周期で多数決結果が書き戻される構成となっており、放射線環境下においても常に正しい値に保たれる。加算器、多数決回路も多重化されており、システムとして正しい値を常に出力する。3 重回路の場合、一度書き込んだ値は、たとえ 1 つのモジュールに放射線が入射し、レジスタ、加算器、多数決回路等の 1 つのモジュール上でソフトエラーが生じたとしてもシステム全体では正しい結果に保つことができる。また、5 重回路の場合には 2 つのモジュールに放射線が入射し、2 つのモジュール上で同時にソフトエラーが生じて、システムとして正しい結果に保つことができる。

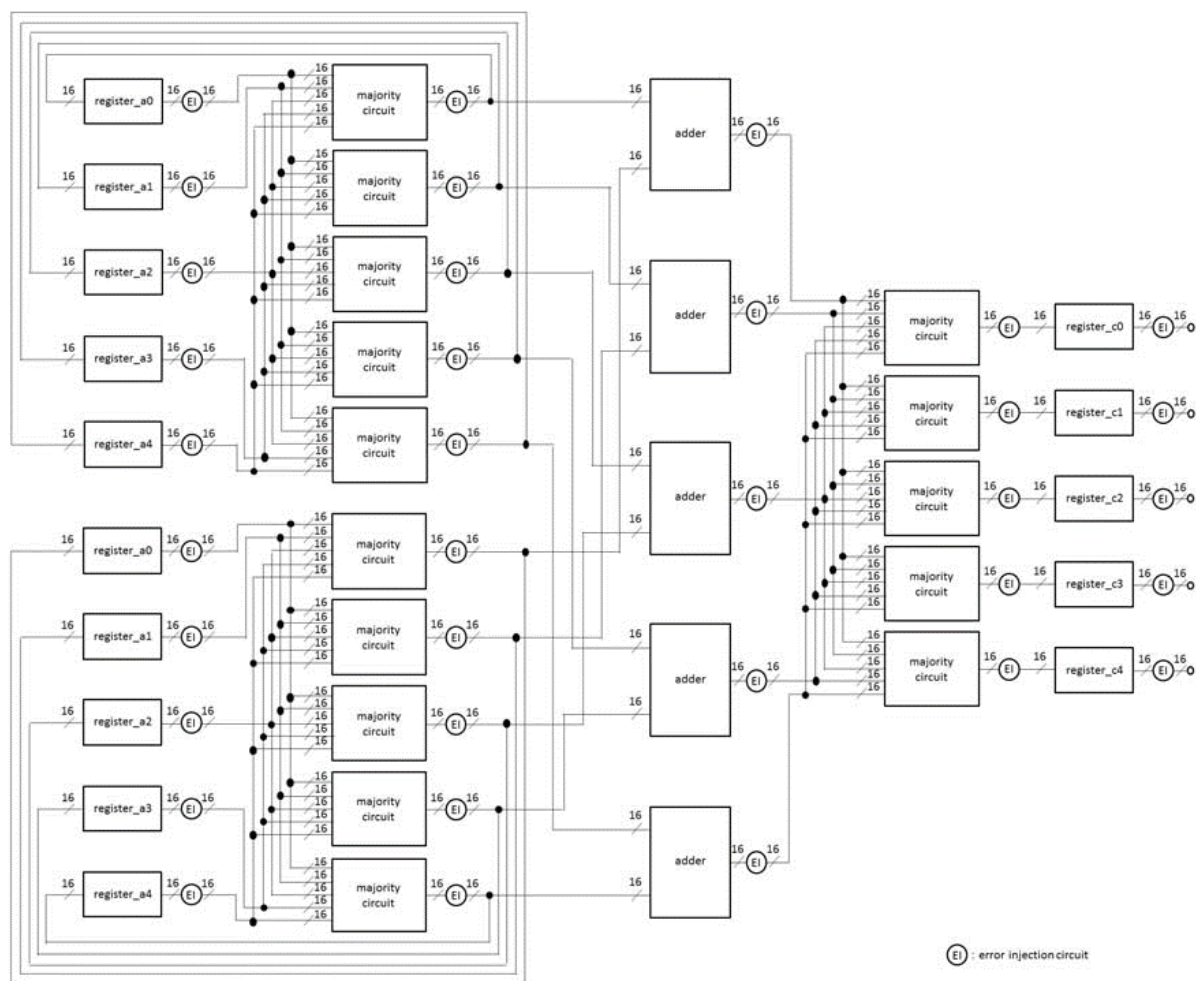


図 3.1.2-2 16bit 加算器の 5 重回路実装

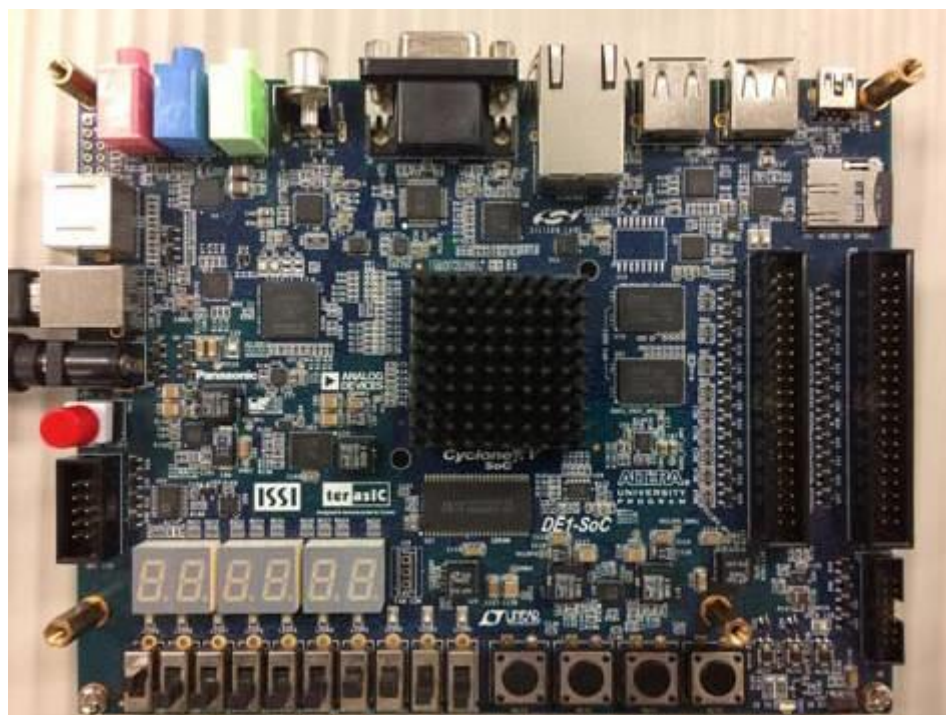


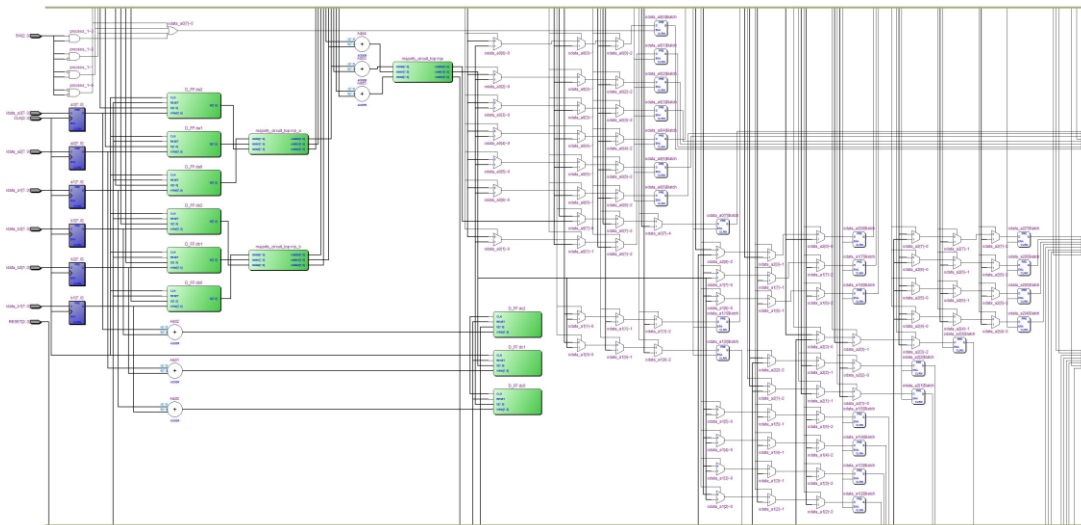
図 3.1.2-3 エラーインジェクションの試験に用いた DE1-SOC FPGA ボード

(2) 理論解析とエラーインジェクションによる放射線耐性試験

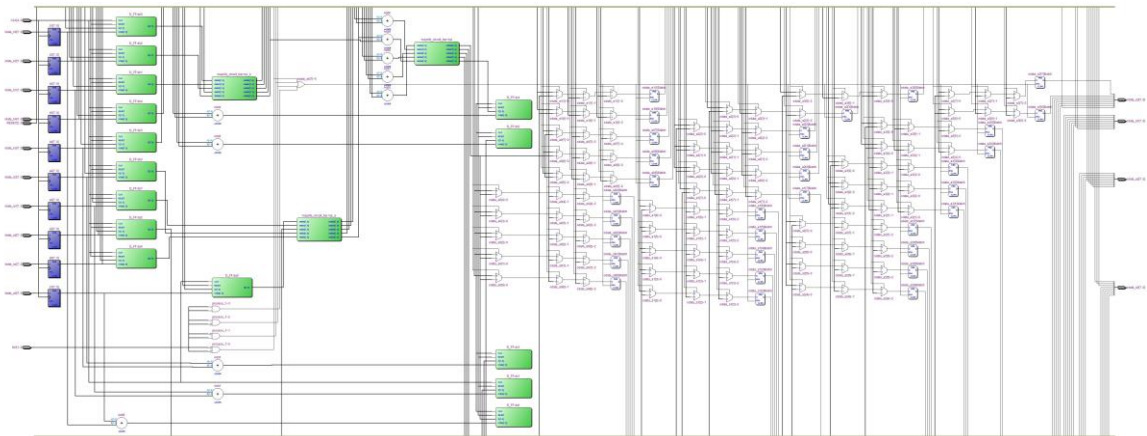
表 3.1.2-1 1 秒あたりのソフトエラーの発生回数

周波数	理論解析		FPGA 実装試験	
	TMR	5MR	TMR	5MR
10 MHz	23,784	1,064.13	22,810	980
50 MHz	4,758	42.64	4,698	42
100 MHz	2,379	10.66	2,485	10

5MR:5 重回路、TMR:3 重回路



(a) 3 重回路実装



(b) 5 重回路実装

図 3.1.2-4 Quartus Prime 配置配線ツールが生成した 3 重回路実装、5 重回路実装

3 重回路実装、5 重回路実装のソフトエラーの頻度を理論解析した結果を表 3.1.2-1（左）に示す。また、図 3.1.2-3 の DE1-SOC FPGA ボードに 3 重回路、5 重回路を実装し、エラーインジェクションにより疑似的にソフトエラーを起こした試験結果を表 3.1.2-1（右）に示す。3 重回路実装と 5 重回路実装とでは放射線の入射する面積が異なることから、3 重回路実装に対しては毎秒 300 万本の頻度で放射線が入射するものとし、5 重回路実装に対してはその約 1.7 倍の毎秒 500 万本の頻度で放射線が入射するものとした。ここで想定した放射線の入射量は 1000 Sv/h を優に超える値である。エラーインジェクションの試験結果は理論結果とよく一致しており、妥当な試験結果であると判断できる。100 MHz で 5 重回路を使用すれば 10 回のソフトエラー/秒に抑えることができ、ロボット制御等も可能になることを確認することができた。MAX3000 等の CPLD で行った試験結果からも同様の結果を得ている。

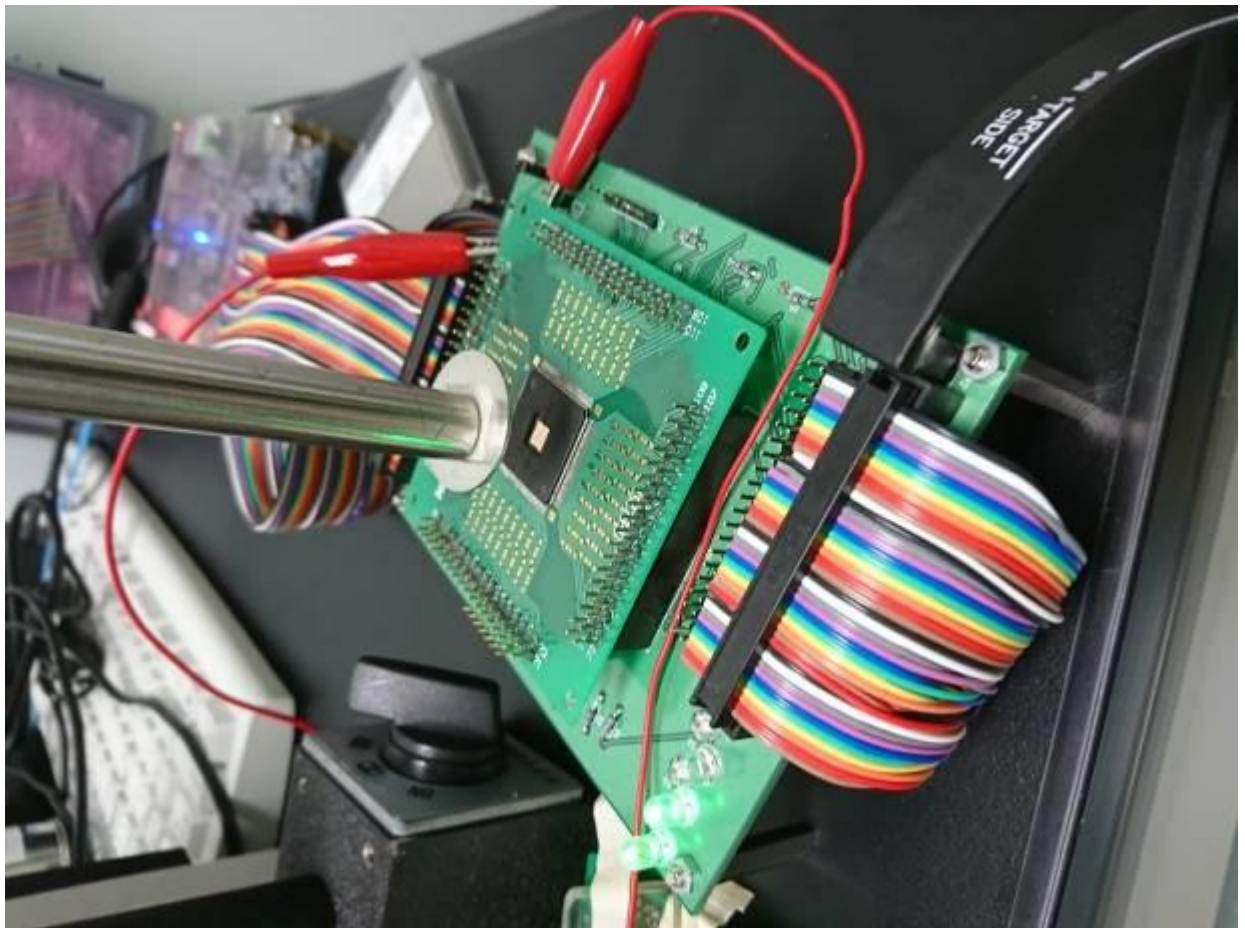


図 3.1.2-5 ^{241}Am α 線源によるソフトエラー耐性試験

(3) ^{241}Am の α 線によるソフトエラー耐性試験

5CSEMA5F31C6 のチップトップを開封し、 ^{241}Am (4MBq) の α 線源によるソフトエラー耐性試験を実施し、耐放射線性能を明らかにした。図 3.1.2-5 にその試験の様子、図 3.1.2-4 に Quartus Prime 配置配線ツールが生成した 3 重回路実装、5 重回路実装の図を示す。平成 29 年度には 10

分間の短時間のソフトエラー耐性試験を実施したが、【平成 30 年度】には 8 時間のソフトエラー耐性試験を実施した。多重化しないチップ上でソフトエラーをモニタリングしたところ、14 回/8h を確認した。同環境において 3 重回路実装、5 重回路実装共にソフトエラーを完全に封じ込めることに成功した。 ^{241}Am の α 線はエネルギーが低く、チップのメタル層で容易にブロックされてしまうので、当初期待したほどのソフトエラーが発生しなかった。今後は高エネルギーの陽子線等による試験を行うべきである。

(4) 耐放射線水晶発振回路

組み込みシステムにはクロックが必須であるので、【平成 30 年度】には耐放射線水晶発振回路の開発にも着手した。まずは市販品である、SG-8002DC (EPSON) の耐放射線性能試験を ^{60}Co の γ 線源を用いて実施した。結果、トータルドーズ耐性は 1Mrad であり、耐放射線性能が明らかに不足していることを確認した。そこで、水晶振動子 (AS-10.000-18 : RALTRON) を基本とする耐放射線水晶発振回路を新たに設計し、耐放射線性能を評価した。結果、8 台の試作品から、270Mrad のトータルドーズ耐性を実証することに成功した。トータルドーズが 270Mrad の時点で 8 台全てが動作しており、1 台の故障も生じていないことから、270Mrad 以上のトータルドーズ耐性であることが期待できる。現在もトータルドーズ耐性試験を継続しており、今後、光再構成型ゲートアレイのトータルドーズ耐性である 400 Mrad まで試験を継続していく予定である。



水晶振動子 (AS-10.000-18 : RALTRON)



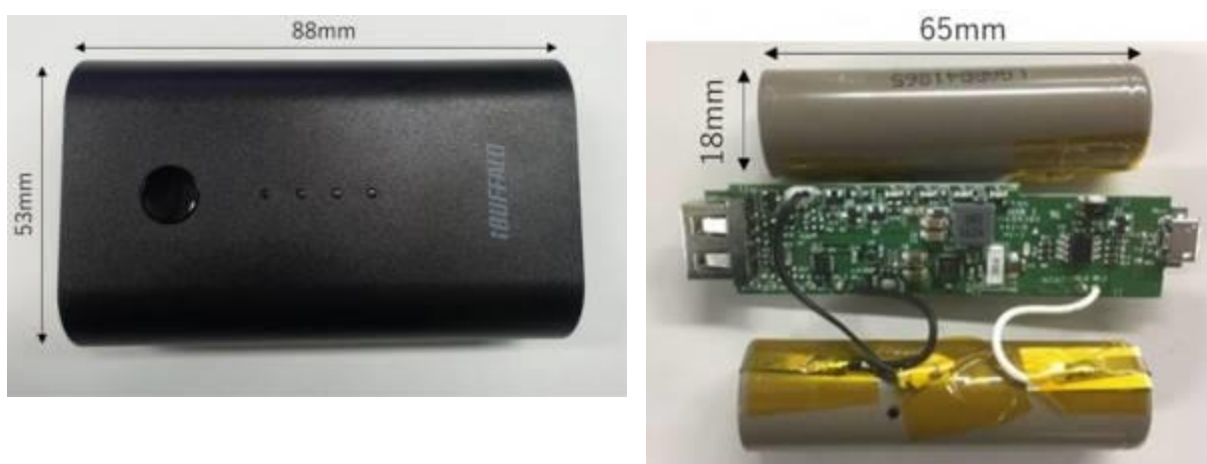
^{60}Co によるトータルドーズ耐性試験の様子

図 3.1.2-6 耐放射線水晶発振回路のトータルドーズ耐性試験

3.1.3 耐放射線組み込みシステム向け耐放射線・電源回路、モータ制御回路の開発

本研究項目では耐放射線ロボットに光再構成型ゲートアレイを導入するために、光再構成型ゲートアレイを駆動できるリチウムイオン電池を用いた耐放射線安定化電源を開発することと、光再構成型ゲートアレイからロボットのモータ制御が可能になるように耐放射線モータドライバ回路を開発することを目指した。また、静岡大学理学部放射線施設の ^{60}Co を活用した1000 Sv/hの放射線環境下において100時間以上の使用が可能であることの実証を目標とした。

(1) 市販品のモバイルバッテリー、三端子レギュレータのトータルドーズ耐性



(a) パッケージ

(b) 内部

図 3.1.3-1 市販のモバイルバッテリー（リチウムイオンバッテリーセルを含む）

市販の電源回路は放射線に対して脆弱であることが多く、放射線環境下で市販の電源回路を使用することは難しい。まず始めに、対比データを取る目的で市販品のモバイルバッテリー（LGAB41865）の放射線耐性を評価した。図 3.1.3-1 は市販モバイルバッテリー（LGAB41865）のプラスチックパッケージを開封し、中の基板及びバッテリーセルを取り出した状態を示している。このモバイルバッテリーにはリチウムイオンバッテリーセル 2 個と安定化電源回路、充電回路が含まれる。このモバイルバッテリーに対して ^{60}Co の γ 線による放射線試験を実施した結果、70～80 krad 照射時点でモバイルバッテリーの出力電圧がゼロとなり、動作しなくなった。この結果からも電源回路の放射線に対する脆弱性が確認できる。ただし、故障箇所は 5V を出力する安定化電源回路部のみで、リチウムイオンバッテリーセルそのものに劣化は見られなかった。また、同様に、市販の三端子レギュレータ（BA30DD0T）に対しても ^{60}Co を用いた放射線試験を実施した。結果、試験に用いた三端子レギュレータ 4 個全てが 50 krad までに故障し、放射線に対する脆弱性を再確認することとなった。

(2) 耐放射線電源回路の開発

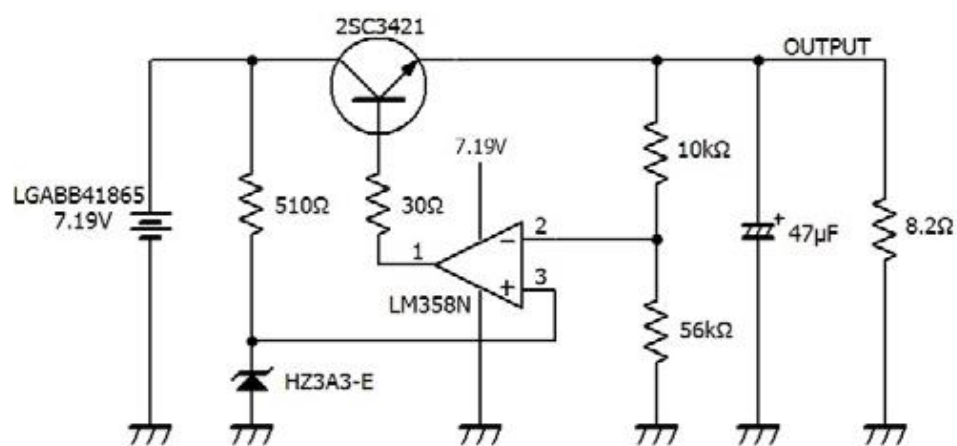


図 3. 1. 3-2 耐放射線・安定化電源回路（負荷 8.2 オームも含む）

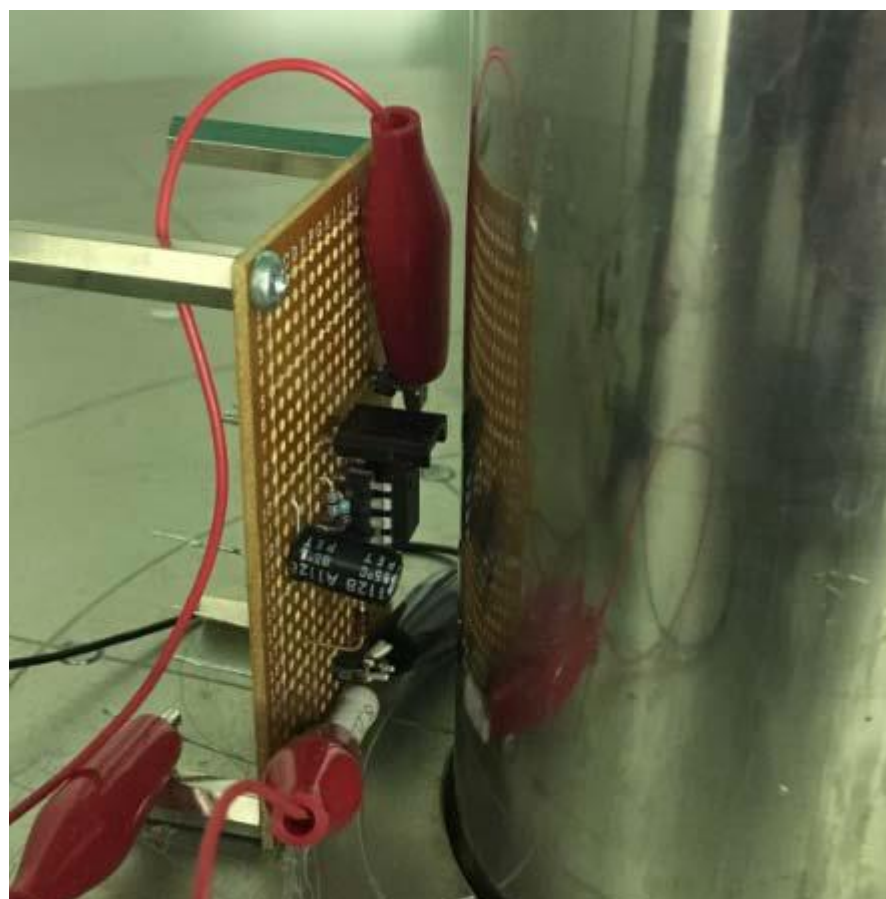


図 3. 1. 3-3 ^{60}Co による耐放射線・安定化電源回路の放射線試験の様子

平成 28～29 年度において図 3.1.3-2 に示すような耐放射線・安定化電源回路を設計・試作した。3.3V を出力し、400 mA の電流を流すことができる。基本構成は三端子レギュレータと変わらず、学術的な目新しさは無いが、バイポーラトランジスタにより構成していることと、各電子部品の定格に余裕を持たせることで耐放射線性能を高めることに成功した。結果、Co60 を用いた耐放射線試験により、本電源回路が約 100 Mrad トータルドーズ耐性を持つことを実証した。放射線試験の様子を図 3.1.3-3 に示す。トータルドーズに対する安定化電源回路の電圧値と電流値を図 3.1.3-4 に示す。また、リチウムイオンバッテリーセルは 30 Mrad の照射時点で劣化が見られておらず、放射線耐性が高いことを示すことができた。安定化電源回路単体では市販品と比べ 1000 倍近い放射線耐性を確認した。【平成 30 年度】にはさらに 5 台の安定化電源を試作し、トータルドーズ耐性試験を実施した。結果、5 台全ての電源が 100 Mrad のトータルドーズ耐性を持つことを確認した。

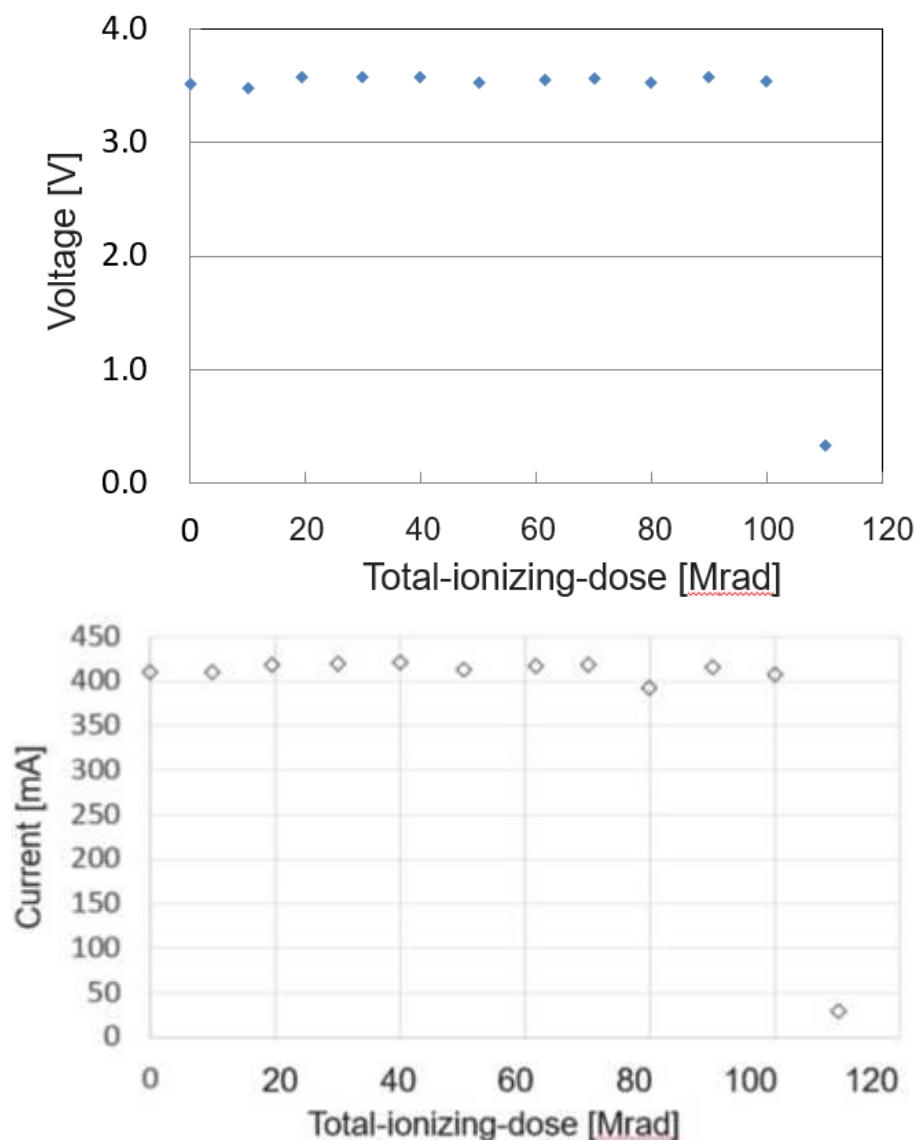


図 3.1.3-4 安定化電源回路の放射線耐性

(3) 光再構成型ゲートアレイ向け耐放射線電源回路の開発

平成 28～29 年度では単一の出力を持つ耐放射線電源回路を開発してきた。【平成 30 年度】では光再構成型ゲートアレイ専用の 2 系統の出力を持つ耐放射線電源回路を開発した。光再構成型ゲートアレイではレーザの駆動に 3.3V、VLSI チップの I/O 部に 3.3V、VLSI チップのコア部に 1.8V と、3.3V と 1.8V の 2 つの電源が必要になる。平成 28～29 年度に開発した電源をベースにして図 3.1.3-5 に示すような電源回路を開発した。この電源は 3.1.1(5)の光再構成型ゲートアレイの総合評価試験に用いた。平成 28～29 年度の光再構成型ゲートアレイの試験では鉛ブロックで放射線をブロックした領域に電源を置き、テストをしていたが、【平成 30 年度】の試験では光再構成型ゲートアレイシステムを電源込みで強放射線環境に置き、動作させることに成功した(図 3.1.1-16)。

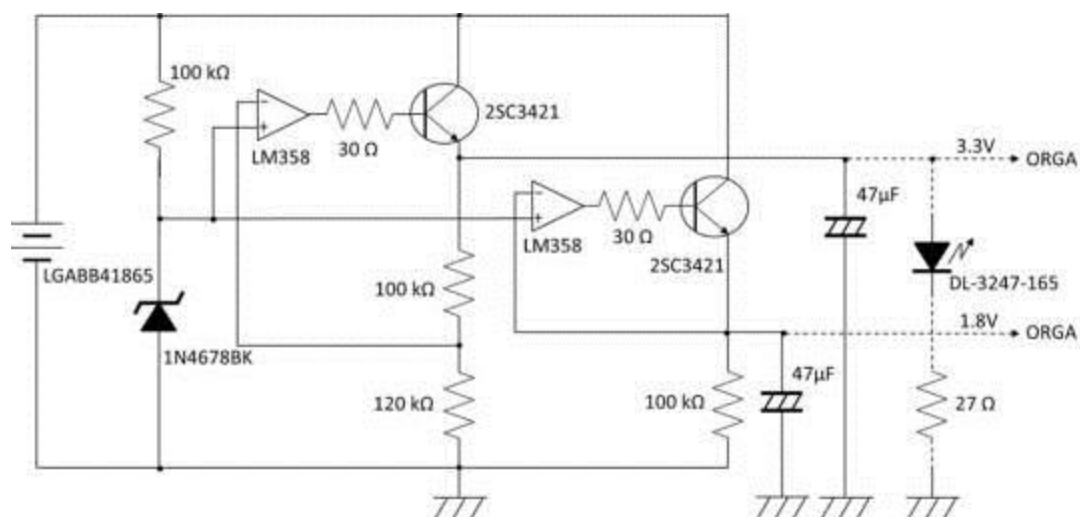


図 3.1.3-5 光再構成型ゲートアレイ向け耐放射線電源回路

(4) 耐放射線モータ制御回路の開発

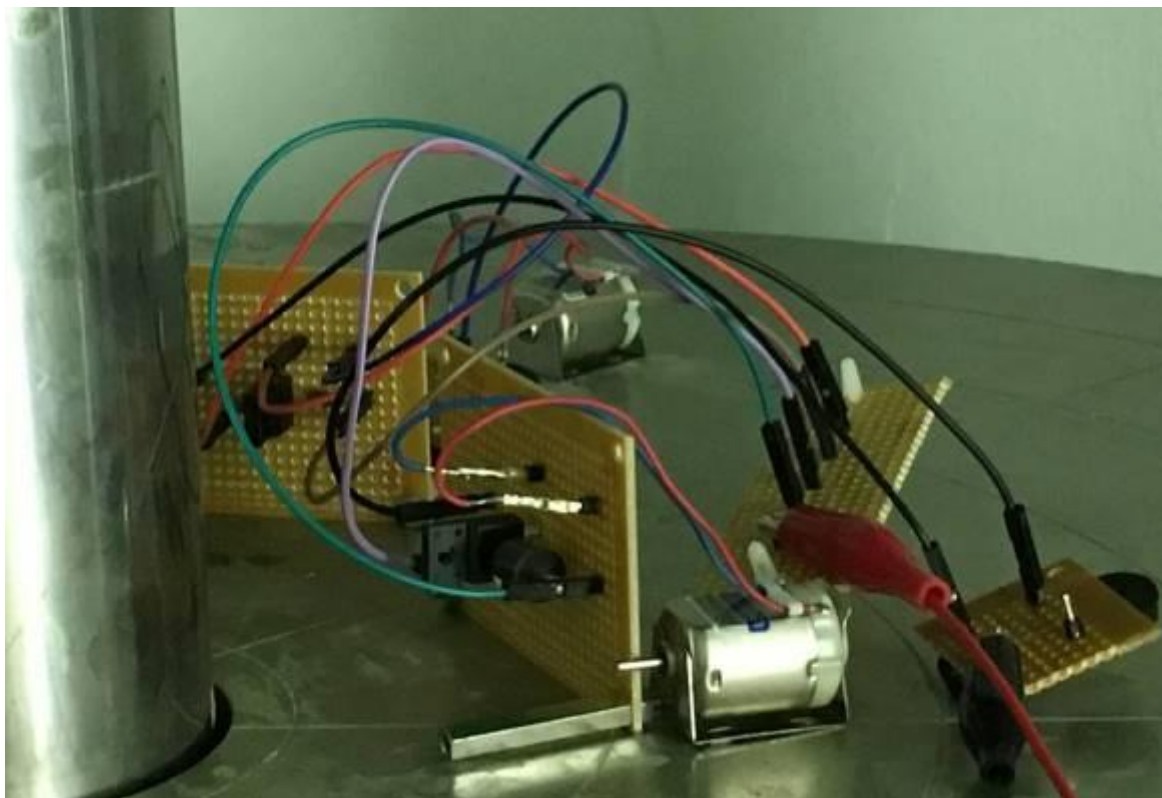


図 3.1.3-6 FET によるモータコントローラ

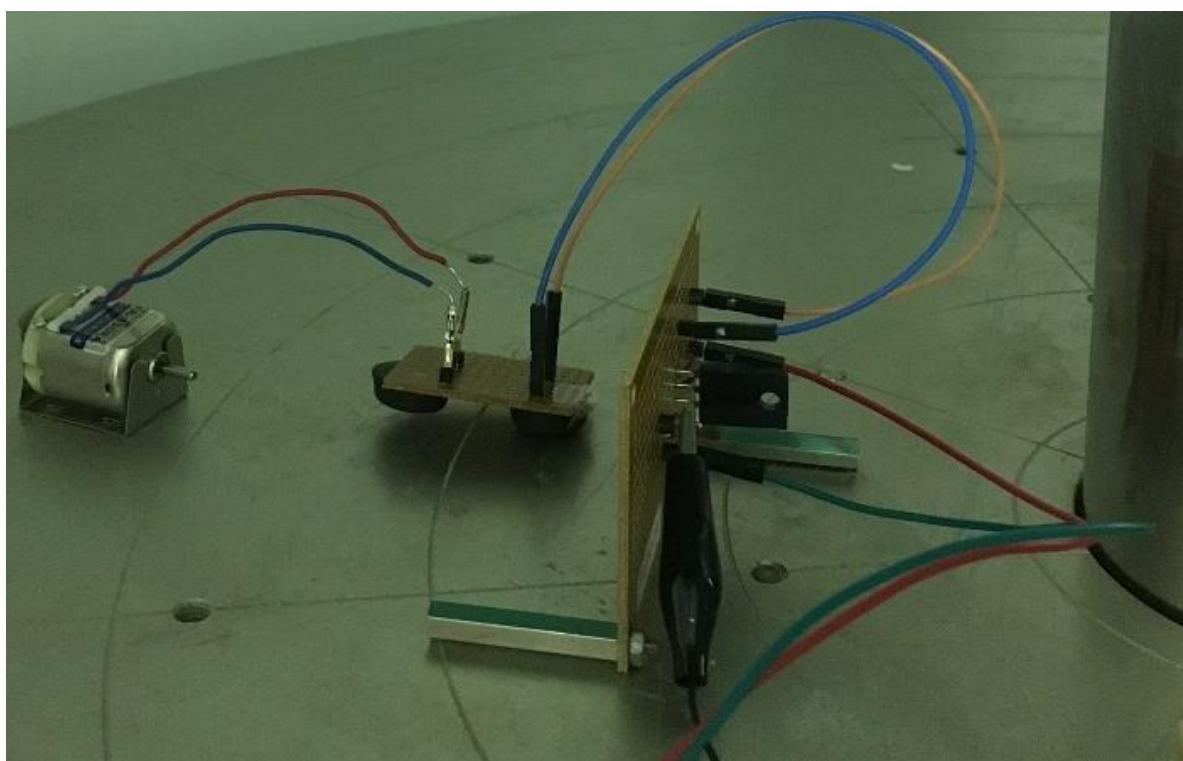


図 3.1.3-7 バイポーラトランジスタによるモータコントローラ

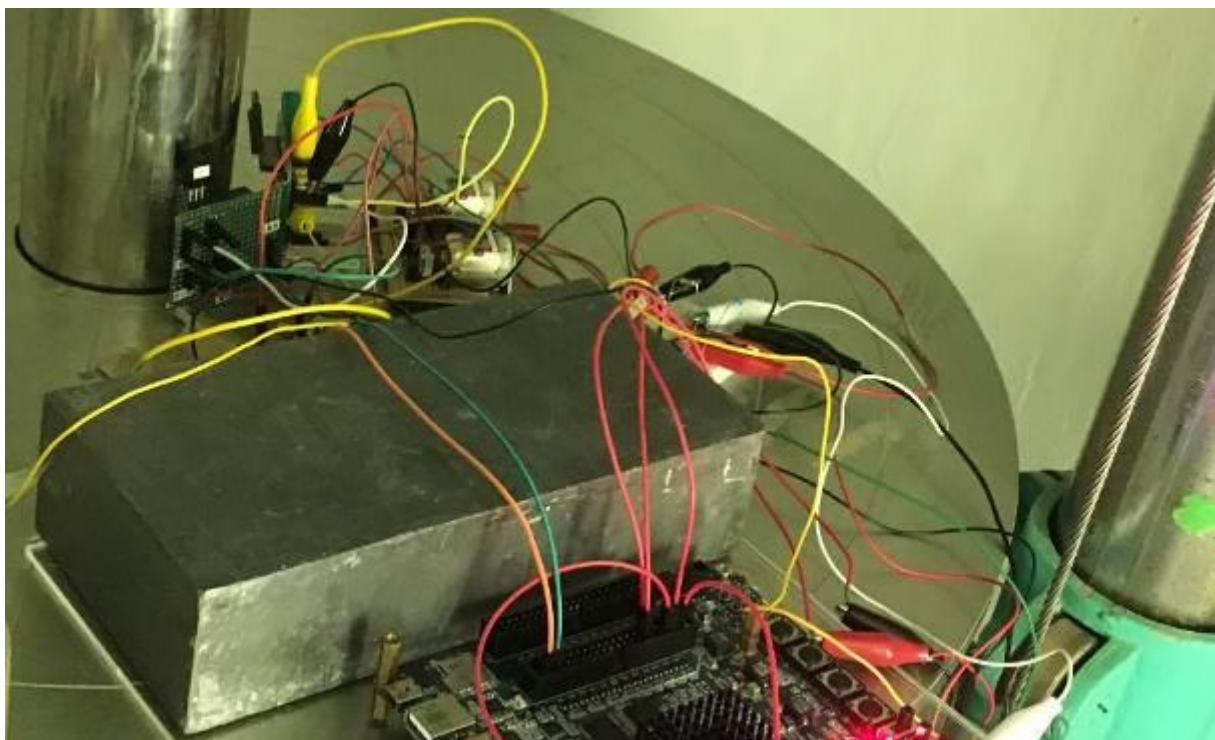


図 3.1.3-8 強放射線環境下におけるモータ制御の様子

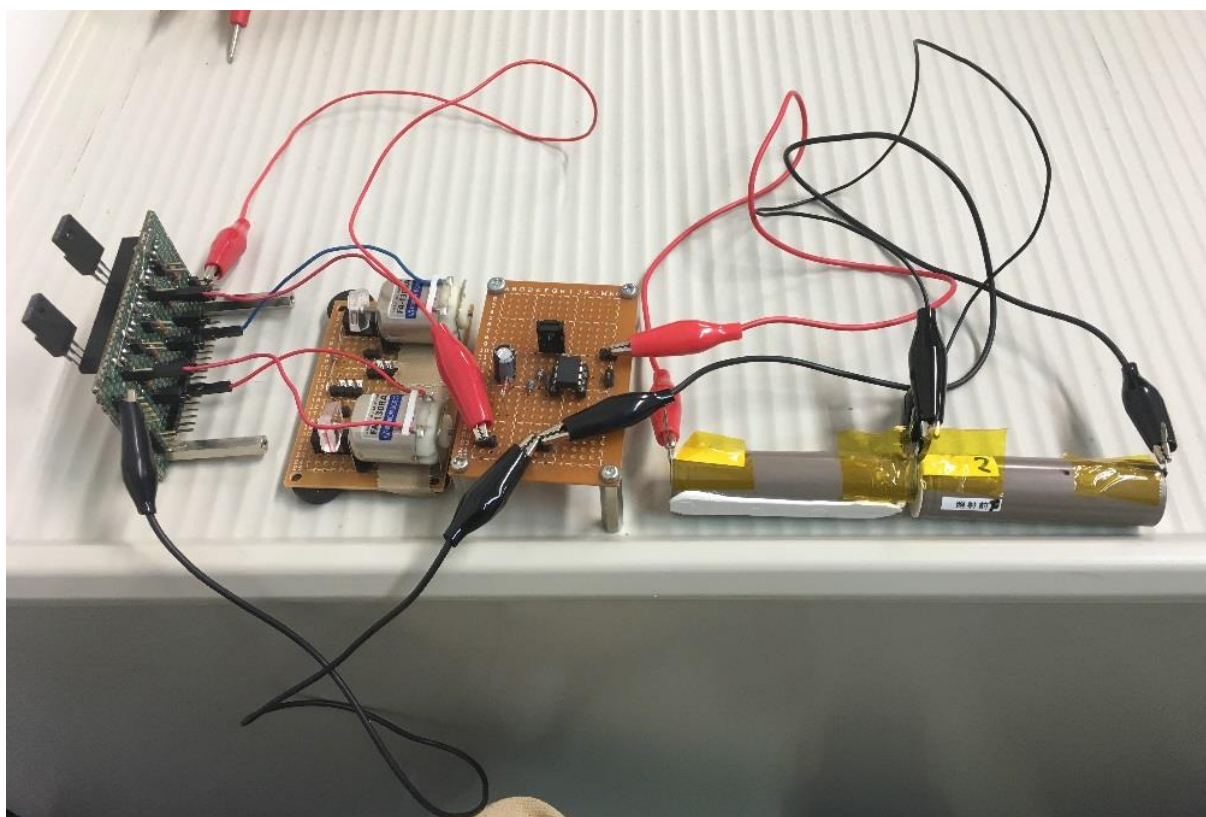


図 3.1.3-9 モータ回路とバッテリーの接続の様子

平成 28 年度には FET を使用したモータコントローラとバイポーラトランジスタを用いたモータコントローラを設計、試作し、 ^{60}Co によるトータルドーズ試験を実施した。結果、FET を使用したモータコントローラの方は 150 ～400 krad と放射線に脆弱であったが、バイポーラトランジスタを使用したモータコントローラの方で 33 Mrad のトータルドーズ耐性を実現した。

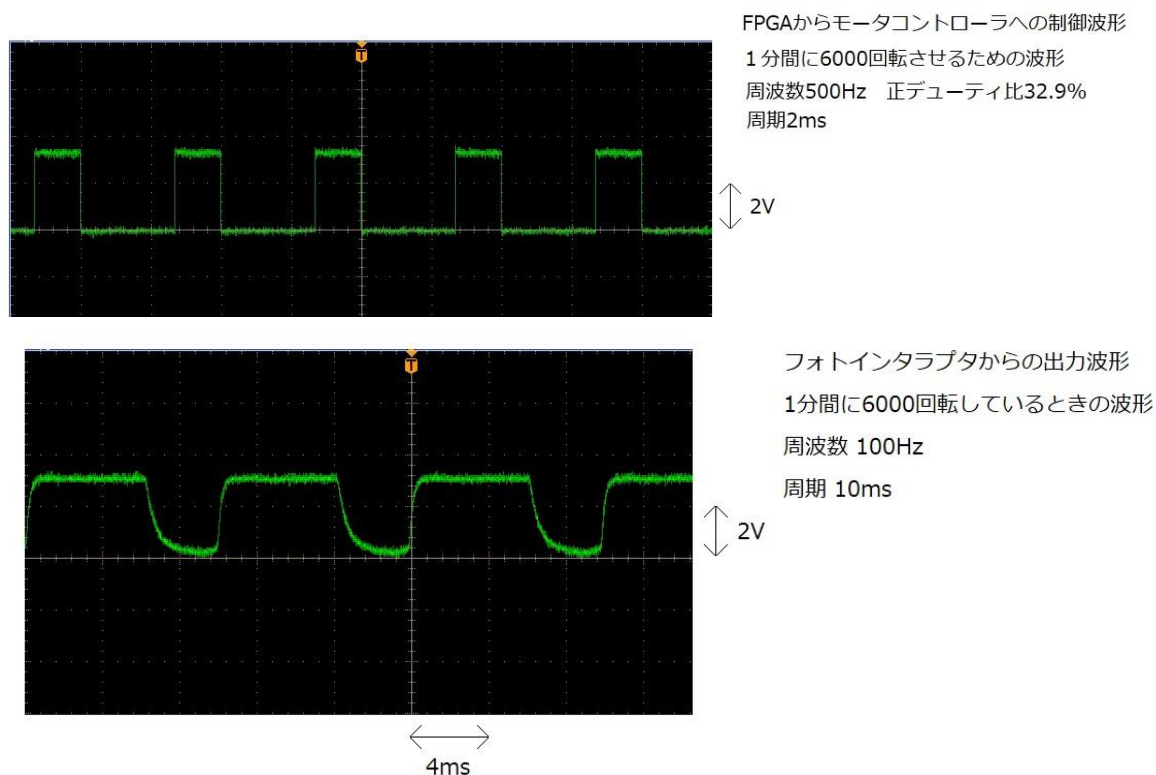


図 3.1.3-10 モータ回転用 PWM 波形とフォトインタラプタからの信号波形

平成 29 年度には、モータ制御部に回転数を検出するフォトインタラプタを導入し、回転数を一定に保つ PWM 制御をプログラマブルデバイス上に実装した。6000rpm の一定速度に制御する PWM 波形とフォトインタラプタからの入力信号波形を図 3.1.3-10 に示す。放射線環境下で回転数を制御しつつ、トータルドーズ耐性を調査した。また、図 3.1.3-9 に示すように、モータコントローラと安定化電源とを接続し、電源を含むトータルドーズ試験も実施した。【平成 30 年度】には上記バイポーラトランジスタベースのモータ制御回路を 5 台作り、耐放射線試験を実施した。一定の回転数に制御する PWM 制御系を構築し、フォトインタラプタからの信号により、40 Mrad まで正常に動作することを確認した。光再構成型ゲートアレイ・組み込みシステムと共に利用できるモータ制御回路を実現した。

3.2 移動ロボット用フルハード組み込みシステムの開発 (H28～H30)

(再委託先：平成 28～29 年度、東北大学、平成 30 年度、理化学研究所)

光再構成型ゲートアレイによる移動ロボット向け組み込みシステムの実現可能性の評価と、放射線耐性の高いハードウェア機構を実装可能なフルハードウェア組み込みシステムの実装方法の評価のために、そのテストベッドとなるシステムを構築することが、平成 28 年度における本実施項目の目的である。また、前年度に構築した組み込みシステムテストベッドに対し、移動ロボットの制御アルゴリズムとしてモータ制御やセンサ処理、及びフィードバック計算等の要素処理ソフトウェアのハードウェア化を試み、その基本機能が実際に動作することを検証するのが、平成 29 年度における本実施項目の目的である。さらに、より大規模な FPGA を用いた組み込みシステムについて回路面積などの評価を行うと共に、ハードウェア化するアルゴリズム別に求められる論理回路の規模などを調査するのが H30 年度における本実施項目の目的である。

以下、実施内容と成果について述べる。

(1) 移動ロボット用フルハード組み込みシステム要件の検討 (平成 28 年度)

今後の計画において、複雑な機能やアルゴリズムのフルハードウェアによる実現可能性を実際に動作する移動ロボットを用いて評価できるようにするためには、評価に使用する試作移動ロボットの基本動作に必要な機能や性能に加え、使用するモータ・センサ・制御アルゴリズム等の要件を検討する必要がある。移動ロボットに関する検討では、実際の動作による試験を考慮し、1) バッテリーを搭載しスタンドアロンで 10 分間以上動作すること、2) WiFi 等の無線により遠隔操作できること、3) 複数のモータによる多脚を有し複雑な動作が可能であること、4) 周囲の環境を感知するためのセンサを接続可能であること、5) センサ入力・判断・モータ駆動の制御ループアルゴリズムを実行できること、6) ソフトウェアを実行するプロセッサ部とハードウェアを実装する FPGA 部が密に結合されたデバイスを有すること、の 6 つを要件として定めた。

特に 6) については、光再構成型ゲートアレイに対するフルハードウェアシステムの実現可能性を評価できるように、電子的に回路を何回でも再構成可能な FPGA(Field-Programmable Gate Array)を搭載したデバイスであると共に、フルハードウェアシステムの論理回路を設計・統合し FPGA 部分に実装するために必要な開発ツールが十分に揃っている製品であることが重要である。また、評価においては元のソフトウェア実装の一部分をハードウェア化することが必要となるため、ハードウェア部と密に連携しながらソフトウェアを実行可能なプロセッサ部も用意されている必要がある。

(2) FPGA による組み込みシステムテストベッド及び開発環境の整備 (平成 28 年度)

(1)において定めた要件を満たすロボットテストベッドを導入し、その上において組み込みシステムを開発可能となるようにソフトウェア環境や FPGA 上のハードウェア開発環境を整備すると共に、モータやセンサのインターフェース部を使用した組み込みシステムを自由に構築可能とした。

(1)の要件 6 を満たすデバイスとして、Intel 社(旧 Altera 社)の Cyclone V SoC FPGA を選定した。SoC は System-on-Chip を意味しており、同一の半導体デバイスの上に約 40,000 個の



図 3.2-1 Cyclone V SoC FPGA を搭載したロボット制御基板

ロジックエレメントから成る FPGA 部と、925MHz の動作周波数で動作するデュアル・コアの ARM Cortex-A9 プロセッサ部を有する。また、要件 1 から 5 を満たす移動ロボットを実現するために、前述の Cyclone V SoC FPGA を搭載した制御基板を含む Terasic 社のロボット開発キット「SPIDER」を導入した。図 3.2-1 は Cyclone V SoC FPGA を搭載したロボット制御基板、図 3.2-2 は SPIDER ロボットテストベッドである。SPIDER は多脚から成る歩行ロボットであり、18 個ものサーボモータとそれらを駆動するためのサーボモータドライブカード、Bluetooth や WiFi による通信機能を拡張するのに使用できる USB ポート、12V の直流外部電源及びニッケル水素バッテリー、センサの接続が可能な拡張コネクタを有している。また、デモ動作のためのサンプルソフトウェア及びハードウェアデザインがオープンソースとして公開されている。

SPIDER ロボット開発キットには、知的動作が可能な移動ロボットに必要な周囲環境をモニタリングするためのセンサが含まれていないため、超音波による近接センサと、レーザーによる距離計測が可能な測域センサを導入した。近接センサは超音波の反射により壁との距離を大まかに計測可能なセンサである。また、測域センサは、水平方向にスキャンを行い 270 度の範囲で多点の距離計測が可能である。これにより、周囲の壁や物体形状を時々刻々と計測し、周囲の環境マップを構築しながら自己位置推定を行う所謂 SLAM(Simultaneous Localization and Mapping)処理を実現するのに使用できる。これらのセンサを制御基板に接続し、ソフトウェアやハードウェアにより使用可能とした。



図 3.2-2 SPIDER ロボットテストベット

次に、組み込みシステムを開発するのに必要なソフトウェア環境及びハードウェア開発環境を整備し、モータやセンサの利用に必要なインターフェース部を利用可能とした。まず、ロボットの制御基板に搭載された Cyclone V SoC FPGA 上の ARM プロセッサ部に対し Linux をインストールした。制御ソフトウェアの実装において現段階では ROS の機能は不要であると判明したため、ロボット用ミドルウェアである ROS のインストールは実施しなかった。次に、制御基板に WiFi モジュールを接続し、ロボット上で動作する Linux 環境に無線で外部からログイン可能とした。これにより、遠隔にてロボットを操作可能となった。

次に、ARM プロセッサ上で動作するソフトウェアをコンパイル可能な開発環境を整備した。これを用いて、サーボモータカードに対し PWM (Pulse-Width Modulation, パルス幅変調) 制御を行うハードウェアモジュールを制御するプログラムを作成し、多脚を動かしロボットを移動させるデモプログラムを整備した。モータ制御のソフトウェアはハードウェアインターフェースモジュールに対し PWM のデューティ比や設定値への遷移時間を書き込むことによりサーボモータを駆動する。これにより、多脚を構成するサーボモータを自由に動作させることが可能となった他、モータ駆動のための PWM 制御ハードウェアを改良し、より複雑で高機能なモータ制御ハードウェアを設計できるようになった。さらに、近接センサ及び測域センサの読出しを行う実装を行った。これにより、今後実装する評価用の組み込みシステムにおいて、センサから読み出したデータにより複雑な動作をさせるアルゴリズムの実装が可能となった。

最後に、FPGA 部に実装するハードウェア組み込みシステムの回路設計と実装を可能とするために、FPGA 開発環境を整備した。大規模回路のコンパイルには論理合成や配置配線のために数時間単位の時間がかかることもあることに加え、大規模な主記憶が必要となることから、シングルスレッド性能の高い Intel 社の x86 CPU と 512GB もの大容量メモリを搭載したコンパイルサーバを導入した。本サーバに Linux をインストールすると共に、FPGA の CAD ソフトウェアをインス

トールし、回路の実装や動作検証を行えるようにした。また、ロボットの組込みシステムに対しコンパイルした回路を書き込み、また遠隔操作をするための端末として、ノートパソコンを導入した。

(3) フルハード化に向けた処理の検討と基本設計（平成 28 年度）

今後実施する組込みシステムのフルハードウェア化に向けて、移動ロボットに必要となる制御処理の中からフルハードウェア化を行うべき部分の検討と、フルハードウェア化に向けた基本設計を行った。最初にフルハードウェア化に着手すべき制御部分として、多脚関節を動作させるための多数のサーボモータ制御に着目した。テストベッドシステムでは、各サーボモータの角度や角速度をソフトウェアにより決定し、そのための PWM デューティ比や遷移時間を PWM 制御モジュールのレジスタに書き込むことにより、多脚を動作させている。この機能の一部を回路として実装することにより、より高機能で複雑なハードウェアを評価できると考えられる。例えば、ソフトウェアからは多脚の位置や移動速度を与えるのみにより、自動で各サーボモータの PWM デューティ比や遷移時間を求めるようなハードウェアが候補として挙げられる。このようなハードウェアを実現するための仕様等に関して基本設計を行った。フルハードウェア化に向けたシステム構成と多脚関節動作のためのハードウェア仕様案を、それぞれ図 3.2-3 の(a)及び(b)に示す。

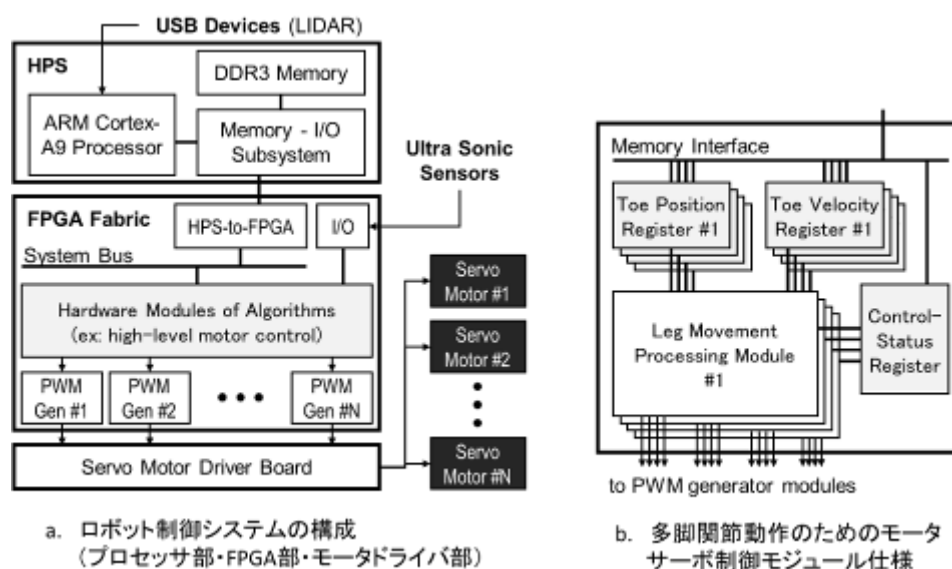


図 3.2-3 フルハードウェア化に向けたシステム構成 (a) と
多脚関節動作のためのハードウェア仕様案 (b)

(4) 移動ロボットの制御アルゴリズムの検討（平成 29 年度）

① 六脚歩行ロボットと座標系

本研究では、試作機として、前年度に導入した図 3.2-4、図 3.2-5 のような六脚の試作移動ロボットを使用する。ロボットの構造としては、6 本の各脚には関節が 3 個あり、各関節にはサーボモータ 1 個が搭載されている。図 3.2-6 のように、各脚の関節を関節 1・関節 2・関節 3 と呼ぶ。各関節の角度域は -90 度から 90 度であり、関節 1 の角度を変えることによって脚の向きを変更でき、関節 2 や関節 3 の角度を変えることによって脚の屈伸が可能である。このようなサーボモータの動作を制御するために、試作ロボットでは、ARM コアと FPGA 部を搭載した CycloneV SoC FPGA とサーボモータドライバボードを用いている。図 3.2-5 に六脚ロボットの構造と座標系を示す。図 3.2-2 のように、ロボットの中心を全体座標系 G 、各脚の関節 1 を局所座標系 L_i ($i=1, \dots, 6$) と定義する。座標系は右手系である。全体座標系 G では、ロボット正面方向を x 軸方向とし、紙面上方向を z 軸方向とする。局所座標系 L_i では、関節 1 の角度が 0 度の場合の脚の方向を x 軸方向とし、右脚の場合において紙面下向きを z 軸方向、左脚の場合において紙面上向きを z 軸方向とする。また、 d_1 を関節 1 と関節 2 との y 軸方向の距離、 d_2 を関節 2 と脚の先端間の y 軸方向の距離とする。

② 制御アルゴリズムの概要

ロボットが歩行するためには、脚の先端の軌道計算を行い、その軌道から逆運動学計算を行うことにより各関節の角度を求め求めた関節の角度からパルス幅を導き、その値を用いて生成した PWM（パルス幅変調）信号をサーボモータに伝えることにより、脚の運動制御を行う必要がある。脚の運動制御及び軌道計算により与えられる脚の先端の座標は全体座標系 G のものであるため、各脚の局所座標系 L_i を用いている逆運動学計算をそのまま適用することはできない。このため、全体座標系 G から局所座標系 L_i への座標変換を行う必要がある。

④ 座標変換

全体座標系 G から見た脚の先端の位置ベクトル x_G を (x_G, y_G, z_G) とし、局所座標系 L_i から見た脚の先端の位置ベクトル x_{L_i} を $(x_{L_i}, y_{L_i}, z_{L_i})$ とする。全体座標系 G から局所座標系 L_i への右ねじ方向を正とする 3×3 の回転行列を R_i 、 3×1 の変位ベクトルを p_i とすると、全体座標系 G から局所座標系 L_i への変換は、次式により表される。

$$x_{L_i} = R_i x_G + p_i \quad (1)$$

位置ベクトル (x, y, z) を 4×1 のベクトル $(x, y, z, 1)$ として表現することにより、変換行列 T_i を用いて上式を次式のように簡潔に書くことができる。

$$\begin{pmatrix} x_{L_i} \\ 1 \end{pmatrix} = T_i \begin{pmatrix} x_G \\ 1 \end{pmatrix} \quad (2)$$

ここで

$$T_i = \begin{pmatrix} R_i & p_i \\ 0 & 0 & 0 & 1 \end{pmatrix} \quad (3)$$

である。

④ 逆運動学

歩行のためには、逆運動学を用いて x_{L_i} から各関節の角度を求める必要がある。まず、順運動学について説明する。順運動学は、ロボットの脚の先端の位置と姿勢を求める問題である。各関節の角度の値から x_{L_i} を計算する。図 3.2-6 に脚の構造を示す。図 3.2-6 では、 L_{ij} ($j=1, \dots, 3$) は、各関節の座標系を示す。ただし、 L_{i1} は L_i を z 軸回りに θ_1 だけ回転させたものである。図 3.2-6 の θ_j ($j=1, \dots, 3$) は各関節の角度を示し、 l_j ($j=1, \dots, 3$) はリンクの長さを示している。これらのパラメータと d_1 , d_2 を用いると、図 3.2-6 における順運動学の計算式は以下のように与えられる。

$$\begin{pmatrix} x_{L_i} \\ y_{L_i} \\ z_{L_i} \\ 1 \end{pmatrix} = T_1 T_2 T_3 \begin{pmatrix} l_3 \\ 0 \\ 0 \\ 1 \end{pmatrix} \quad (4)$$

$$T_1 = \begin{pmatrix} \cos(\theta_1) & -\sin(\theta_1) & 0 & 0 \\ \sin(\theta_1) & \cos(\theta_1) & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} \quad (5)$$

$$T_2 = \begin{pmatrix} \cos(\theta_2) & -\sin(\theta_2) & 0 & l_1 \\ 0 & 0 & -1 & -d_1 \\ \sin(\theta_2) & \cos(\theta_2) & 0 & 0 \\ 0 & 0 & 0 & 1 \end{pmatrix} \quad (6)$$

$$T_3 = \begin{pmatrix} \sin(\theta_3) & \cos(\theta_3) & 0 & l_2 \\ \cos(\theta_3) & -\sin(\theta_3) & 0 & 0 \\ 0 & 0 & -1 & -d_2 \\ 0 & 0 & 0 & 1 \end{pmatrix} \quad (7)$$

T_1 は L_{i1} から L_i への変換行列を、 T_2 は L_{i2} から L_{i1} への変換行列を、 T_3 は L_{i3} から L_{i2} への変換行列を表している。式(4)では、 L_{i3} から見た脚の先端の位置を L_{i2} 、次に L_{i1} 、最後に L_i から見た脚の先端の位置に段階的に変換させることによって、局所座標系から見た脚の先端の位置を求めることができる。

逆運動学は、順運動学とは反対に、ロボットの各関節の角度を求める問題である。ロボットの脚の先端の位置 x_{L_i} から各関節の角度 ($\theta_1, \theta_2, \theta_3$) を計算する。計算式は次式により表される。

$$\theta_1 = \tan^{-1} \frac{y_{L_i}}{x_{L_i}} - \tan^{-1} \frac{d}{\sqrt{x_{L_i}^2 + y_{L_i}^2 - d^2}} \quad (8)$$

$$\theta_2 = \theta_3 + \tan^{-1} \frac{l_2 z_{L_i} c_3 - (x_{L_i} c_1 + y_{L_i} s_1 - l_1)(l_3 + l_2 s_3)}{(l_3 + l_2 s_3) z_{L_i} + (x_{L_i} c_1 + y_{L_i} s_1 + l_1) l_2 c_3} \quad (9)$$

$$\theta_3 = \sin^{-1} \frac{r_{L_i}^2 + l_1^2 - l_2^2 - l_3^2 - d^2 - 2l_1(y_{L_i} s_1 + x_{L_i} c_1)}{2l_2 l_3} \quad (10)$$

$d = d_1 - d_2$ 、 $\cos(\theta_j) = c_j (j=1, \dots, 3)$ 、 $\sin(\theta_j) = s_j (j=1, \dots, 3)$ 、 $r_{L_i}^2 = x_{L_i}^2 + y_{L_i}^2 + z_{L_i}^2$ である。上記の式により関節の角度を求めることができ、サーボモータをその角度の通りに動かせば、軌跡に沿って脚の先端を動かすような制御が実現できる。

⑤ PWM（パルス幅変調）信号生成

逆運動学計算によって求めた角度をサーボモータに設定するには、角度に対応した PWM 信号を生成する必要がある。PWM 信号は、矩形波のパルス幅によって情報を伝える方法である。本研究で用いるサーボモータは、パルス幅が 0.5ms の時に回転角度が-90 度、またパルス幅が 2.5ms の時に回転角度が 90 度となる。パルス幅とサーボモータの回転角度との間には線形の関係が成り立っている。

ロボット制御システム内には PWM 信号を生成するためのハードウェアである PWM モジュールを組み込んであり、その内部レジスタにパルス幅のサイクル数 $r_{L_{ij}}$ を書き込んでパルス幅を設定することにより、サーボモータの角度を変更できる。 $r_{L_{ij}}$ と角度の関係は、次式の通りである。

$$r_{L_{ij}} = \alpha(\theta_j) + \beta \quad (11)$$

ここで、 α と β は定数である。

(5) 専用ハードウェア実装と評価（平成 29 年度）

ここでは、ロボット制御システムにおける逆運動学計算等のソフトウェアサブルーチンの専用ハードウェア化と、そのハードウェア資源消費量の評価について述べる。

① システムプラットフォーム

試作に使用したロボット制御システムは、FPGA 部を搭載した Intel 社製 CycloneV SoC FPGA とモータドライバから構成される。CPU は、FPGA 上 AXI4-Lite Bus Master (AXIBusM) を通じて、FPGA 部に実装されたユーザーロジックとの通信を行なう。ユーザーロジック部には、ロボット歩行に必要な逆運動学計算モジュール (inverse kinematics: IvK) や関節の角度から対応する PWM のパルス幅のサイクル数へ変換するモジュール (Angle to PWM: Angle2Pwm) 等を実装する。PWM モジュールは、Angle2Pwm から受け取ったパルス幅のサイクル数に基づき PWM 信号を生成し、モータドライバに出力する。モータドライバは、PWM 信号を増幅しサーボモータへ伝える。ソフトウェアは、FPGA 部では行われない制御を行なう。これらを用いて、ソフトウェアによる制御を一切行わない完全ハードウェア実装を目指した実現可能性等の評価を行う。そのために、ユーザーロジック部に、座標変換、歩行制御のハードウェアモジュールを段階的に追加していく。

② FPGA 部のハードウェア構成

本研究では、ソフトウェア処理として書かれた関数をハードウェアモジュールとして段階的に FPGA 部に移行することにより、制御アルゴリズムのハードウェア化を行う。FPGA 部の組込みシステムにおいては、ハードウェア化されたモジュールを依存関係に基づき相互に接続して、全体を動作させる。各ハードウェアモジュールの実装には、NEC 社製の高位合成ツール CyberWorkBench(CWB)を用いる。各ハードウェアモジュールは AXI4-Lite インタフェース(I/F)を有しており、これによってモジュール間の通信を行なう。図 3.4-8 に、FPGA 部に構成するハードウェアのブロックダイアグラムを示す。

③ ソフトウェアサブルーチンの専用ハードウェア化

CWB では、C 言語や BDL(Behavioral Description Language)を Verilog HDL(Hardware Description Language)に変換することによって、ハードウェアモジュールを合成することができる。BDL は C 言語の拡張であり、モジュールのインターフェースを記述するのに使用する。IvK モジュールの場合には、3 つの AXI Master、1 つの AXI Slave、及びサブルーチンモジュールから構成される。AXI Master、AXI Slave、IvK サブルーチンモジュールのインターフェース動作を BDL によって記述し、Verilog HDL に変換することにより、IvK モジュールを合成する。IvK サブルーチンモジュールは、式(8)、(9)、(10)を含む C 言語記述により実装される。

④ ベースシステム

図 3.2-9 にロボット制御システムのベースシステムを示す。ベースシステムでは、FPGA 上にパルス幅のサイクル数に基づく PWM 信号生成のみがハードウェアモジュールとして実装されている。PWM 信号生成以外の歩行のために必要な制御はソフトウェアによって処理される。ロボット制御アルゴリズムの完全ハードウェア化に向けて、ベースシステムから段階的にハードウェア化を行い、動作検証やハードウェア資源消費量等を評価する。本報告では、以降、試作実装として角度・パルス幅のサイクル数変換のハードウェア化と逆運動学計算のハードウェア化について述べる。

⑤ 角度・パルス幅のサイクル数変換のハードウェア化

図 3.2-10 に、角度・パルス幅のサイクル数変換をハードウェア化したシステムの構成を示す。角度・パルス幅のサイクル数変換のハードウェア化として、ベースシステムに加え Ang2Pwm モジュール、PSR モジュール、及び UART モジュールを FPGA 上に実装する。この段階では、CycloneV SoC FPGA のハードウェア資源量の制約により、3 脚と 2 関節に相当する 11 関節分のハードウェアモジュールを実装することができた。

⑥ 逆運動学計算のハードウェア化

図 3.2-11 に逆運動学計算をハードウェア化したシステムの構成を示す。逆運動学計算のハードウェア化として、図 3.2-10 のシステムに加えて逆運動学計算モジュール(IvK)を FPGA 上に実装する。この段階では、ハードウェア資源の制約により、1 脚に相当する 3 関節分のハードウェアモジュールを実装する事ができた。

⑦ 動作検証及び評価

試作実装した Ang2Pwm と IvK の機能を検証するために、図 3.2-11 のシステムにおいて、円運動のような脚先端の動作が可能かを検証した。結果として、局所座標系から見た脚 1 本の先端の軌道計算をソフトウェアで実行し、角度・パルス幅のサイクル数変換と逆運動学計算をハードウェア化されたシステムにより実行し、脚の先端の円運動を実現することができた。ハードウェア資源量制約の緩い大規模 FPGA を用いることにより、図 3.2-11 のシステムに座標変換ハードウェアモジュール等を段階的に追加して、全脚を制御する必要のある歩行のような動作をハードウェアのみで実装することができると期待される。

表 3.2-1 は、CycloneV SoC FPGA と Arria10 SoC FPGA のハードウェア資源量と、CycloneV SoC FPGA により実装した場合の各モジュールの資源消費量、Ang2Pwm・IvK・PSR・UART モジュールを含んだ構成に対して全脚実装した場合のハードウェア資源消費量の見積もりを表す。表 3.2-1 では、整数乗算のハードマクロである DSP を使用しない場合にハードウェア資源消費量が大きくなっている。これは、DSP を使用しない場合、ロジックを用いて乗算回路を実装する必要があるためである。このため、PWM モジュールや PSR+UART モジュールと比べて演算数の比較的多い Ang2Pwm や IvK のハードウェア資源消費量が、DSP を使用しない場合に特に大きくなっている。

CycloneV SoC FPGA の実装では、図 3.2-9 の構成において、DSP がある場合は最大 11 関節分まで実装可能であり、DSP 使用が無い場合は最大 6 関節分まで実装可能という結果が得られた。同様に図 3.2-11 の構成においては、DSP を使用する場合は最大 3 関節分まで実装可能であり、DSP 使用が無い場合は最大 2 関節分まで実装可能であるという結果が得られた。これより、CycloneV SoC FPGA を用いた試作システムではハードウェア資源消費量の面から完全ハードウェア化の実装は困難であることが分かった。図 3.2-11 の構成において、各モジュールのハードウェア資源消費量から全脚の実装に必要なハードウェア資源消費量を見積もると、表 3.2-1 から Arria10 SoC FPGA 10AS066K3F40E2SG ならば全脚実装可能であることが明らかとなった。このため、大規模ハードウェア実装の準備として Arria10 SoC FPGA を導入し、それを移動ロボットに搭載するためのマウンターを製作した。

加えて、このようなシステムを光再構成ゲートアレイにより実装する際に必要となる資源量を検討した。図 3.2-11 のシステムを 6 脚分実装するには最低でも論理要素が 96864 個程度必要であり、オンチップメモリ容量が 1734 kbits 程度必要である。これらの数値は論理合成や配置配線ツールごとに異なる可能性はあるが、多関節の多脚ロボット歩行制御といった今回対象とした処理をフルハードウェアで実装するには、目安として概ねこの程度のハードウェア資源量が必要となると考えられる。加えて、現段階ではソフトウェアによって実現している座標変換や歩行制御等の処理もハードウェア化するならば、さらに多くのハードウェア資源が必要となる。



図 3.2-4 六脚歩行ロボット

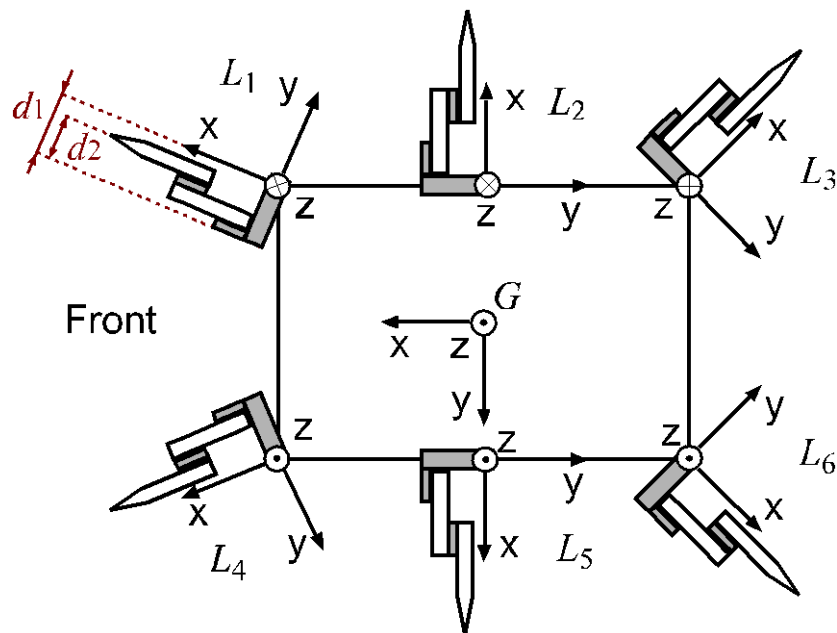


図 3.2-5 六脚歩行ロボットの構造と座標系

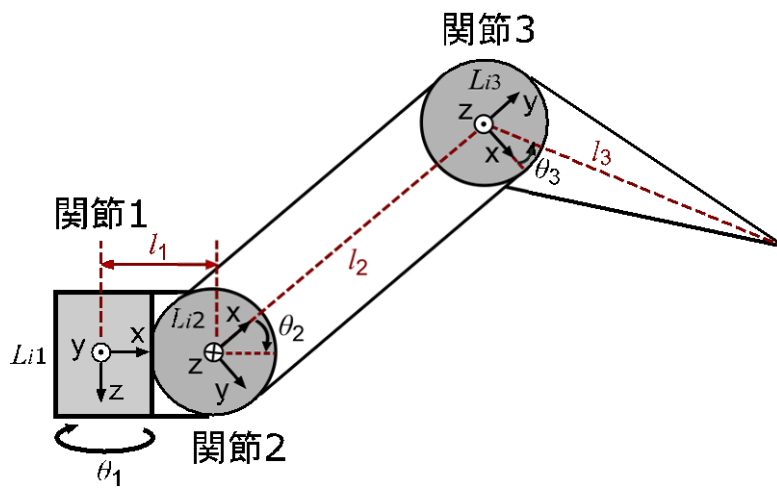


図 3.2-6 脚の構造と座標系

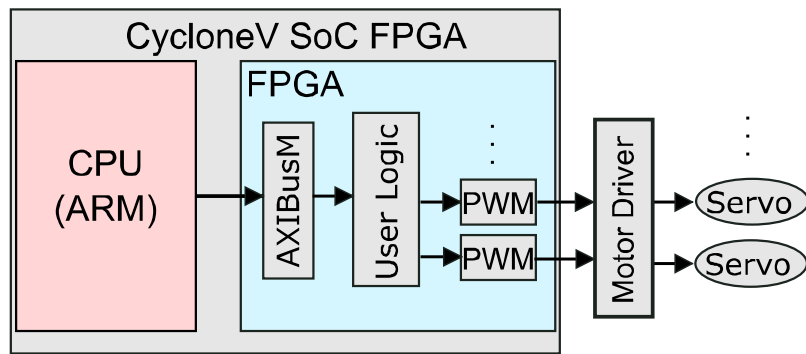


図 3.2-7 ロボット制御システムの概要

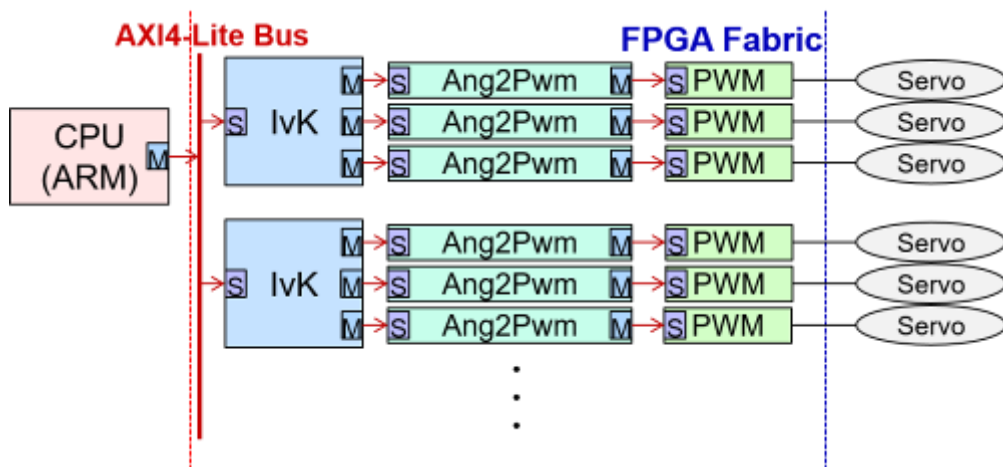


図 3.2-8 FPGA 部に実装するハードウェアサブシステムの構成

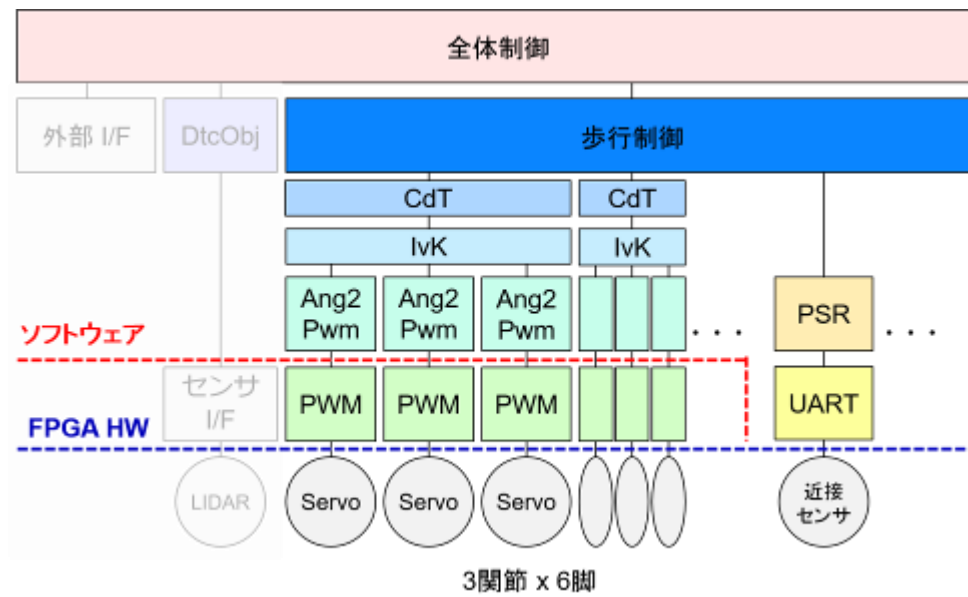


図 3.2-9 ベースシステムの構成

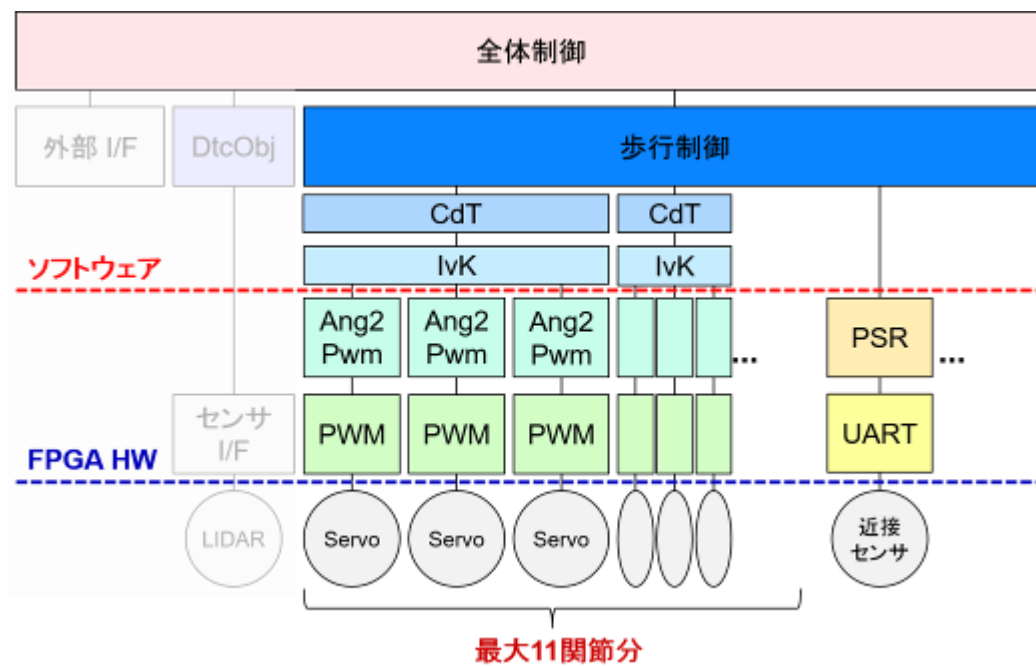


図 3.2-10 角度・パルス幅のサイクル数変換をハードウェア化したシステムの構成

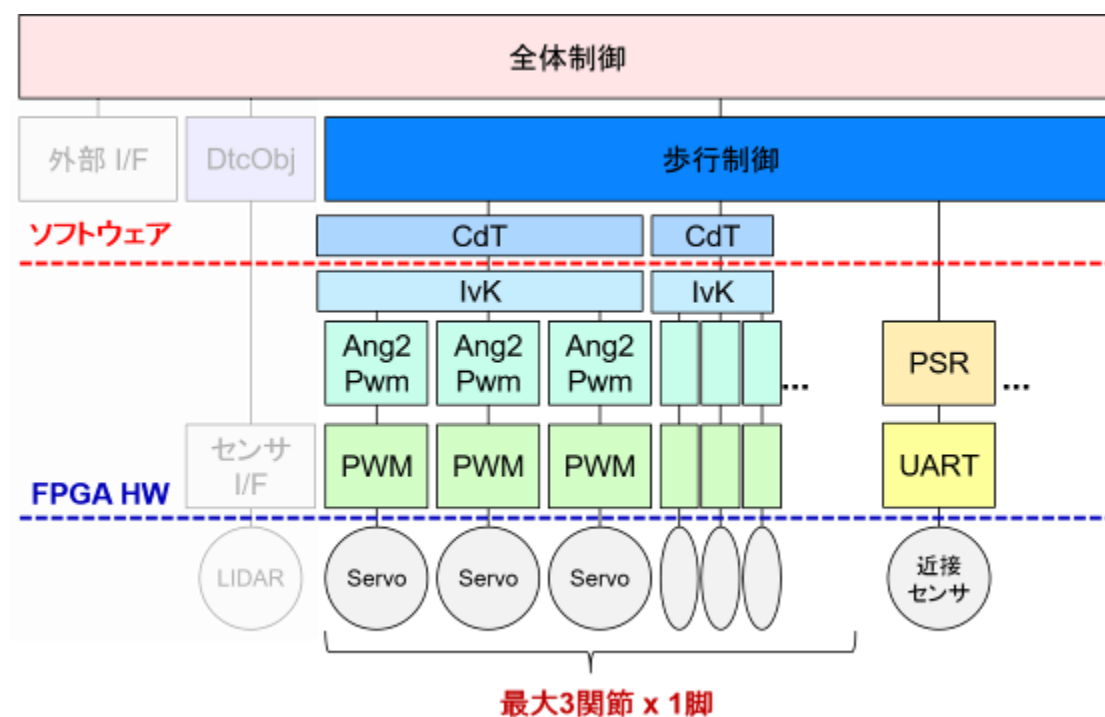


図 3.2-11 逆運動学計算をハードウェア化したシステムの構成

表 3.2-1 ハードウェア資源消費量 (CycloneV SoC FPGA 向けに配置配線)

Module	ALM	Register	BRAM	DSP
			kbits	
CycloneV SoC	15,094	60,376	2,700	84
Arria10 SoC	250,540	1,002,160	43,008	1,688
PWM	155	211	0	0
PSR+UART	133	195	0	0
Ang2Pwm	766	1,036	33	5
Ang2Pwm (no DSP)	1,813	3,125	33	0
IvK	4,221	5,178	191	35
IvK (no DSP)	10,240	7,236	190	0
全脚実装の場合	41,904	53,514	1,740	300
(no DSP)	96,864	103,464	1,734	0

(6) より大規模な FPGA に対する組込みシステムの最適化と評価 (平成 30 年度)

① Arria10 SoC FPGA に対する組込みシステムの実装

平成 29 年度に実装したフルハード制御システムの基本機能に基づき、より大規模な FPGA を用いた組込みシステムの最適化検討・設計などを行った。前年度では、図 3.2-11 の構成において六脚歩行ロボットの全脚を実装するのに必要な規模の FPGA である、Arria10 SoC FPGA 10AS066K3F40E2SG を導入した。Arria10 SoC FPGA 向けに最適化して配置配線を行った結果、図 3.2-10 の逆運動学計算までをハードウェア化したシステムの構成の場合では、Arria10 SoC FPGA に 6 脚全てに相当する 18 関節分のハードウェアを実装することができた。また、図 3.2-11 の逆運動学計算をハードウェア化したシステムの構成に加え、さらに座標変換である CdT をもハードウェア化した構成を設計した。Arria10 SoC FPGA 用に配置配線を行い、回路面積などの評価を行い、ハードウェア化するアルゴリズム別に求められる論理回路の規模を明らかにし、この構成でも、6 脚全てに相当する 18 関節分のハードウェアを実装できることが確認できた。実際にロボットも動かしている。

② 動作検証と評価

Arria10 SoC FPGA 上に実装した Ang2Pwm と Ivk, CdT の機能を検証するために、脚先端を円運動させる機能を実現した。その結果、全体座標系から見た各脚の先端の軌道計算をソフトウェアで実行し、角度・パルス幅のサイクル数変換と逆運動学計算、座標変換計算をハードウェア化されたシステムにより実行し、脚先端の円運動を実現できた。

表 3.2-2 は、Arria10 SoC FPGA の全てリソース資源と Arria10 に各モジュールを実装した際の単一モジュールが消費する資源量、及び、全脚実装した際の前システムのハードウェア資源消費量を示す。DSP を使用しない場合のほうがハードウェア資源消費量は大きくなっている。これは、DSP を使用しない場合では、計算回路をロジックにより実装する必要があるためである。そのため、DSP を使用しない場合(no DSP)には、PWM モジュールと比べて比較的計算処理が大きい Ang2Pwm や Ivk, CdT のハードウェア資源消費量が大きくなっている。

サーボ制御のためのパルス幅変調信号を生成する PWM モジュールは、134 ALM、214 Register の消費のみと小規模で実装できた。これは、同モジュールが信号生成のためのステートマシンのみで実装できたため、オンチップメモリである BRAM や数値計算ユニットである DSP を消費しなかったためである。一方、浮動小数点の数値計算を伴う角度・パルス幅変換モジュール Ang2Pwm、逆運動学計算モジュール Ivk、座標変換モジュール CdT は、PWM よりもより多くのロジックやレジスタを消費するばかりか、BRAM や DSP を消費している。特に、多くの演算を必要とする式を計算する Ivk はモジュールの中で最多の 3887 個の ALM、5102 個の Register、196 個の BRAM、及び 37 個の DSP ブロックを消費しており、大きな割合を占めている。また、前述の通り DSP を使用せずに浮動小数点演算器をロジックとレジスタで合成する no DSP モードの場合には、使用していた DSP ブロックの数に応じてロジック消費が増加している。

今回実装した中で最もフルハードウェア構成に近い図 3.2-11 の構成の場合には、表 3.2-2 に示すように、6 脚分計 18 個の関節に対するモジュールを実装するために論理要素は最低でも 110,058 個、オンチップメモリは 1,782 kbits 必要であることが分った。

また、現段階ではソフトウェアによって実行されている歩行制御用の軌道計算やセンサデータ処理をもハードウェア化する場合には、さらに多くのハードウェア資源が必要となる。以上のデータは、光再構成ゲートアレイの規模を選定する場合や、あるいは利用可能な光再構成ゲートアレイの論理サイズから実装可能なシステムの規模を推定する場合に、有用であると考えられる。

今回の設計では全ての計算には専用のモジュールをそれぞれ用いたが、例えば同じ計算を異なる関節に対して行うような処理に対しては、同じモジュールを時分割で異なる計算に使いまわすような設計も可能である。この場合には、実装するモジュール数を削減することと引き換えに計算周期が長くなるという欠点があるものの、もし計算周期がロボットの制御周期の要件を満たす場合には、少ないロジックでより複雑な機能を実現する手段として十分な選択肢となり得る。このような、回路規模・処理性能・機能の間のトレードオフを考慮した設計空間探索は本研究課題の範囲を超えるものではあるが、商用大規模 FPGA と比べて比較的規模の小さな光再構成ゲートアレイを使用する際には改めて詳細を検討する必要があるものと考えられる。

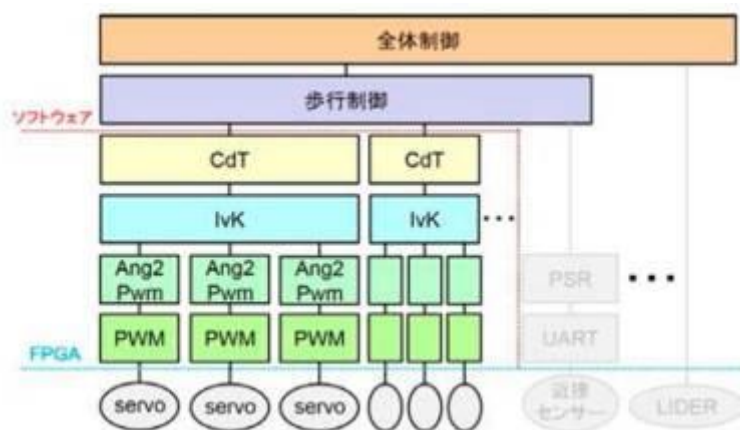


図 3.2-12 座標変換計算をハードウェア化したシステムの構成

表 3.2-2 ハードウェア資源消費量 (Arria10 SoC FPGA 向けに配置配線)

Module	ALM	Register	BRAM kbits	DSP
Arria10 SoC	251,680	107,958	43,643	1,687
PWM	134	214	0	0
Ang2Pwm	707	957	34	5
Ang2Pwm (no DSP)	1741	1600	34	0
Ivk	3887	5102	196	37
Ivk (no DSP)	10631	9497	195	0
CdT	299	973	0	6
CdT (no DSP)	2087	2167	0	0
全脚実装時	40254	57528	1788	348
(no DSP)	110058	102636	1782	0

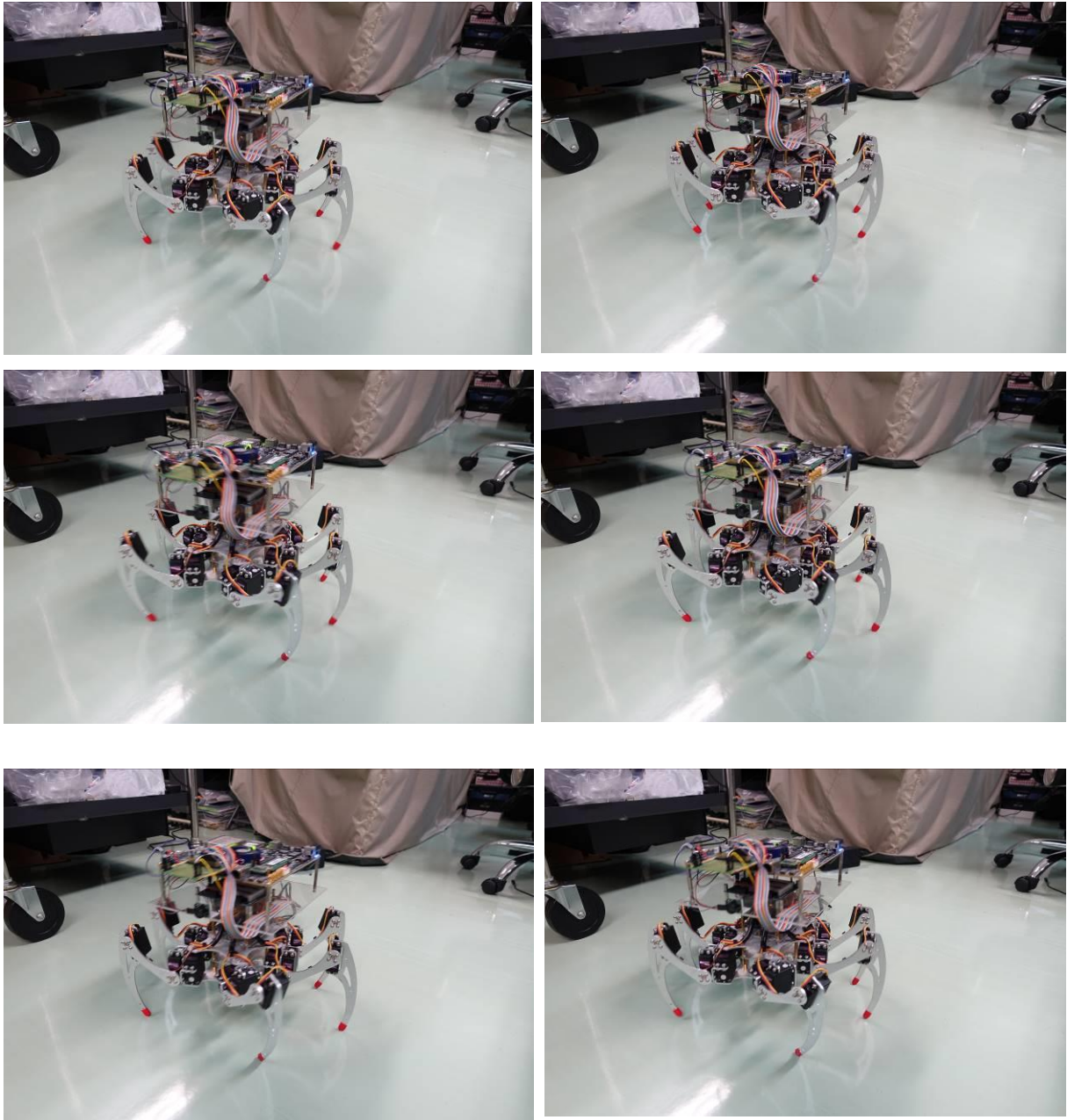


図 3.2-13 ロボットの歩行の様子

3.3 研究推進

研究代表者の下で各研究項目間における連携を密にして研究を進めた。平成 28 年度は静岡大学（平成 29 年 2 月 2 日）、東北大学（平成 29 年 3 月 8 日）と、それぞれの研究機関で 1 回の研究打ち合わせを実施した。平成 29 年度は静岡大学（平成 29 年 9 月 13 日）、東北大学（平成 29 年 12 月 19 日）と、それぞれ 1 回の研究打ち合わせを実施した。最終年度である【平成 30 年度】は 3 年間の総まとめということで、より打ち合わせの回数を増やし、静岡大学、理化学研究所において委員会をそれぞれ 2 回、計 4 回実施した（7 月 4 日：静岡大学、10 月 11 日：理化学研究所、1 月 25 日：静岡大学、3 月 11 日、12 日：理化学研究所）。

静岡大学の打ち合わせでは全研究メンバーが一堂に会し、研究プロジェクトの全研究項目について綿密な打ち合わせを行った。東北大学、理化学研究所での委員会では研究代表者と静岡大学の研究補佐員 2 名～3 名が現地を訪問し、各研究項目進捗状況、技術課題について打ち合わせをした。この時、研究打ち合わせに参加していない静岡大学の研究補佐員には、出張後に静岡大学で別途研究打ち合わせの場を設け、すり合わせを行った。このように密な連携の下に研究を進めることで計画通り、研究を進めることができた。

4. 結言

これまで、集積回路は放射線に脆弱であり、トータルドーズ耐性は 1 Mrad 程度までであると理解されてきた。もし、これを越えるトータルドーズ耐性を実現しなくてはならなければ、既存の集積回路のプロセスではだめで、SiC か MEMS を用いるしかないと考えられてきた。しかし、本研究ではその常識を覆す、既存の集積回路のトータルドーズ耐性を改善する研究に取り組んだ。光並列構成法を集積回路に導入し、故障を許容した集積回路の運用を可能にすることで、既存の放射線に脆弱だと思われてきた集積回路であっても、トータルドーズ耐性が劇的に改善できることを世界で初めて試験的に実証した。

本研究において光再構成型ゲートアレイの集積回路部のトータルドーズ耐性が 1.15 Grad に達することが試験的に明らかとなった。これは既存の耐放射線集積回路の 1150 倍のトータルドーズ耐性である。加えてこの時点で 99%の機能ブロックが生き残っており、真のトータルドーズ耐性はこれよりも高い数値にあると言える。SiC や MEMS にも匹敵する圧倒的なトータルドーズ耐性と言える。光再構成型ゲートアレイの光デバイスのトータルドーズ耐性試験はまだ途上にあり、ホログラムメモリ部のトータルドーズ耐性が 600 Mrad、レーザアレイ部のトータルドーズ耐性が 400 Mrad と集積回路部の 1.15 Grad には届いていない。光学部のトータルドーズ耐性から光再構成型ゲートアレイシステム全体では 400 Mrad のトータルドーズ耐性を持つものと評価できる。しかし、今後、レーザアレイのトータルドーズ耐性を改善することで、さらなる高い放射線耐性も実現可能である。

また、光再構成型ゲートアレイではナノ秒台の周期での高速スクラビングが可能であり、ソフトウェア耐性はカスタム集積回路並みに高い。本研究では α 線や γ 線を用いた試験により、高周波数での多数決を行う 3 重回路実装、5 重回路実装を光再構成型ゲートアレイに実装することで、強放射線環境下においてもソフトウェアを封じ込めることができることを実証した。

加えて、耐放射線組み込みシステムの実現において必須となる、耐放射線電源回路、耐放射線水晶発振回路の開発を行い、それぞれ 100 Mrad、270 Mrad のトータルドーズ耐性を実証した。実際に光再構成型ゲートアレイをこの安定化電源に接続し、500~800 Sv/h の放射線環境下で 24 時間稼働させる試験にも成功した。

最後に、6 足ロボットのフルハードウェア制御を実現し、ロボットを実際に動かし、フルハード制御システムによる動作を確認した。今後、多重回路実装と組み合わせることで強放射線環境下でもロボット制御が可能になる。

このように研究目標を大幅に上回る研究成果を達成した。

この研究成果は福島第一原子力発電所の廃炉作業や、その他原子力発電所で稼働するロボットに用いることができるだけでなく、ロケット、衛星、探査機等の宇宙システムにも使用が期待できる。本デバイスを宇宙システムに適用した場合には、高いトータルドーズ耐性と、ソフトウェア耐性により、組み込みシステムからシールド材を全廃することができ、打ち上げコストを大幅に低減することができる。日本の宇宙産業の国際競争力の向上に寄与できる。